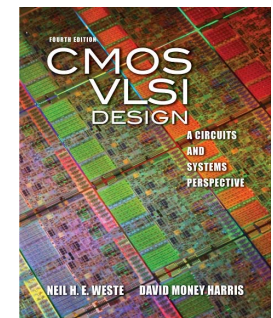
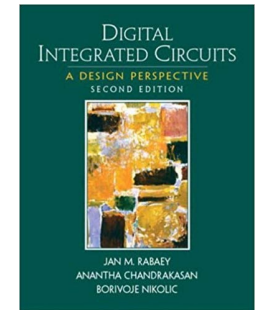


Microeletrônica

Aula #4 → Dimensionamento de Portas Lógicas

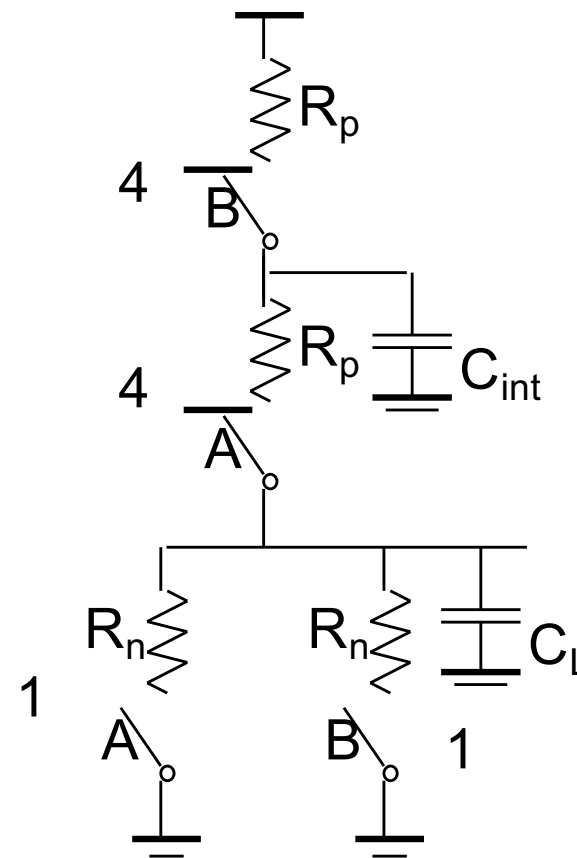
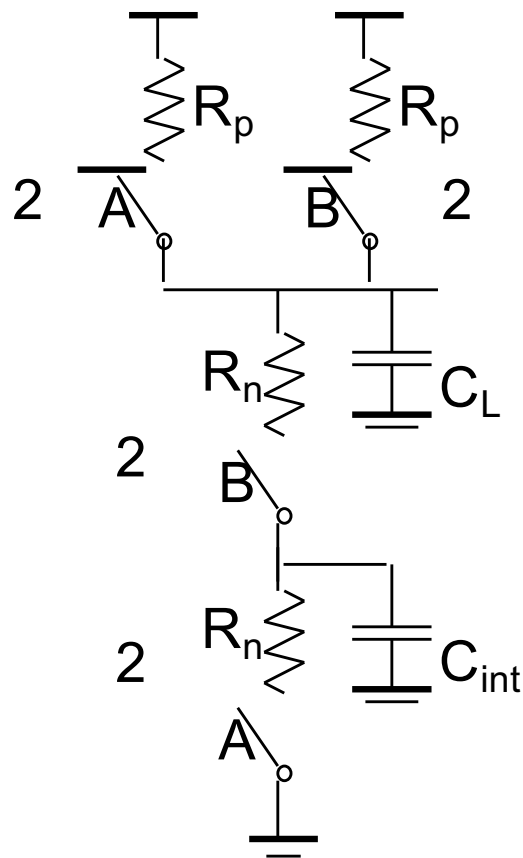
- Professor: Fernando Gehm Moraes
- Livro texto:
 - Digital Integrated Circuits a Design Perspective - Rabaey
 - C MOS VLSI Design - Weste



Revisão das lâminas: 28/março/2025

Transistor Sizing

- Transistores em paralelo – pior caso
- Transistores em série – inverso da soma dos inversos de W



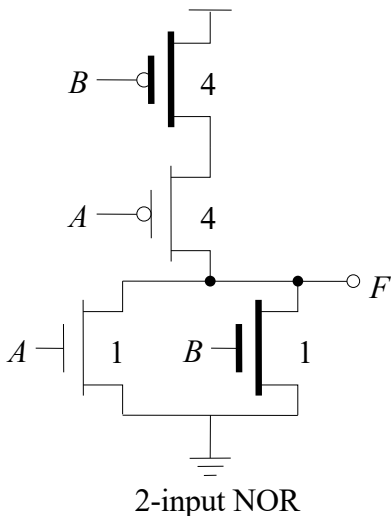
Dimensionamento na prática

□ .param w_ref=0.2 mob=2.029 cload=4fF

```
.subckt inv out in vcc
M1 out in vcc vcc psvtlp w='w_ref*mob' l=0.06
M2 out in 0 0 nsvtlp w=w_ref l=0.06
.ends inv
```

```
.SUBCKT nand2 o1 s1 s2 vcc
M1 o1 s1 vcc vcc psvtlp w='w_ref*mob' l=0.06
M2 o1 s2 vcc vcc psvtlp w='w_ref*mob' l=0.06
M3 0 s1 2 0 nsvtlp w='w_ref*mob' l=0.06
M4 2 s2 o1 0 nsvtlp w='w_ref*mob' l=0.06
.ENDS nand2
```

```
.SUBCKT nor2 o1 s1 s2 vcc
M1 10 s1 vcc vcc psvtlp w='w_ref*mob*2' l=0.06
M2 o1 s2 10 vcc psvtlp w='w_ref*mob*2' l=0.06
M10 0 s1 o1 0 nsvtlp w=w_ref l=0.06
M11 0 s2 o1 0 nsvtlp w=w_ref l=0.06
.ENDS nor2
```

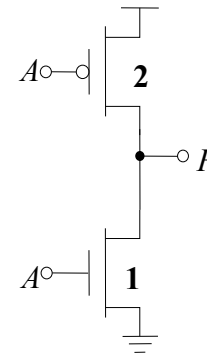


Nor (ps):

t_no2do = 29.6246
t_no2so = 31.0468
t_no2dv = 36.0278
t_no2sv = 34.5164

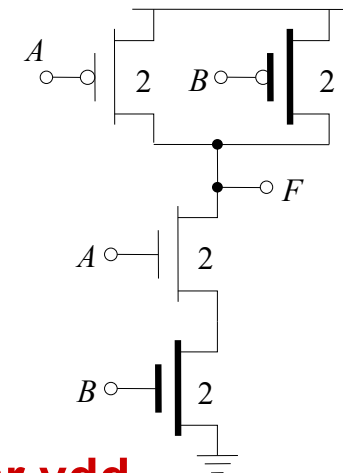
20%+ par vdd

29.7321
28.5545
31.9429
32.1557



Inversor (ps):

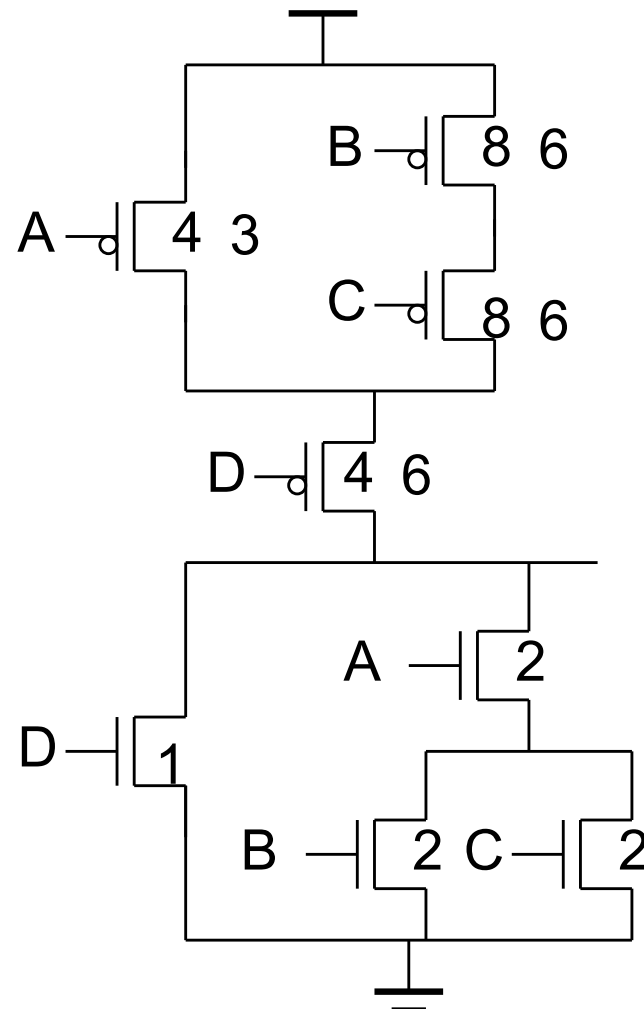
t_inv_des = 29.6233
t_inv_sub = 29.6239



Nand (ps):

t_na2do = 28.3164
t_na2so = 28.4461
t_na2dg = 29.8823
t_na2sg = 32.0077

Transistor Sizing a Complex CMOS Gate



$$\text{OUT} = \overline{D + A \cdot (B + C)}$$

Atraso em uma Porta Lógica

- Atraso é função de:
 - τ – atraso unitário, dependente do processo (atraso de um inversor tendo por carga um inversor idêntico, sem parasitas)
 - d – proporcionalidade de atraso do gate em relação a τ (adimensional)

$$d_{abs} = d \cdot \tau$$

- todos os atrasos no método *logic effort* serão medidos em função de unidades de τ

Atraso em uma Porta Lógica

□ Atraso d da porta é função de:

- p – atraso devido às capacitâncias parasitas (**É O N# DE ENTRADAS**)
- f – carga na saída, denominado de **esforço de estágio**

$$d = f + p$$

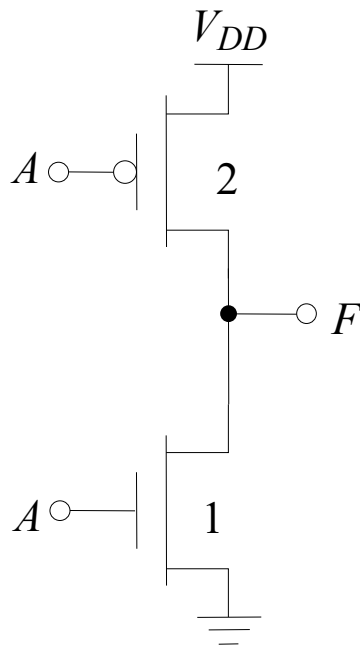
□ O **esforço** f por sua vez depende

- g – característica de corrente da porta lógica, denominado de **esforço lógico**
- h – relação entre a capacitância de entrada e saída, denominado de **esforço elétrico**

$$f = g.h \qquad \therefore \qquad h = \frac{C_{out}}{C_{in}}$$

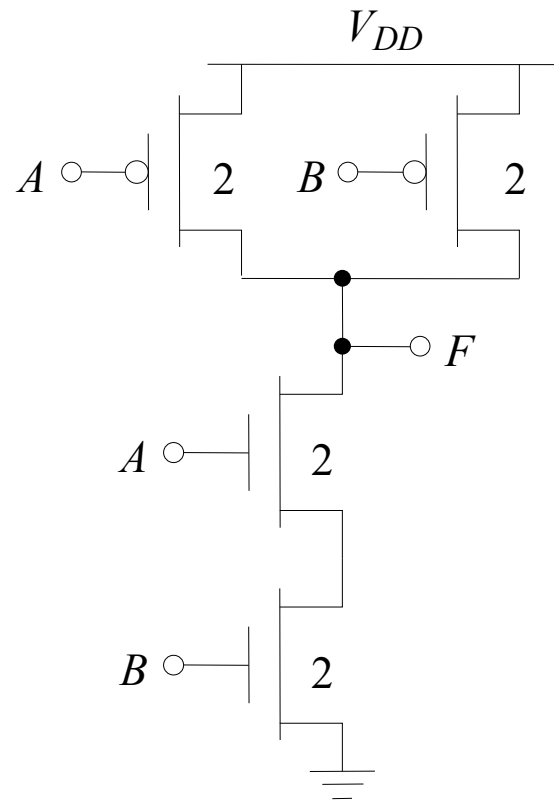
Esforço Lógico (Logical Effort)

- ❑ **Esforço lógico** é a relação da capacitância de entrada de uma porta lógica em relação à capacitância de entrada de um inversor com a mesma capacidade de corrente.
- ❑ Assumir: mobilidade $N = 2 * \text{Mobilidade } P$



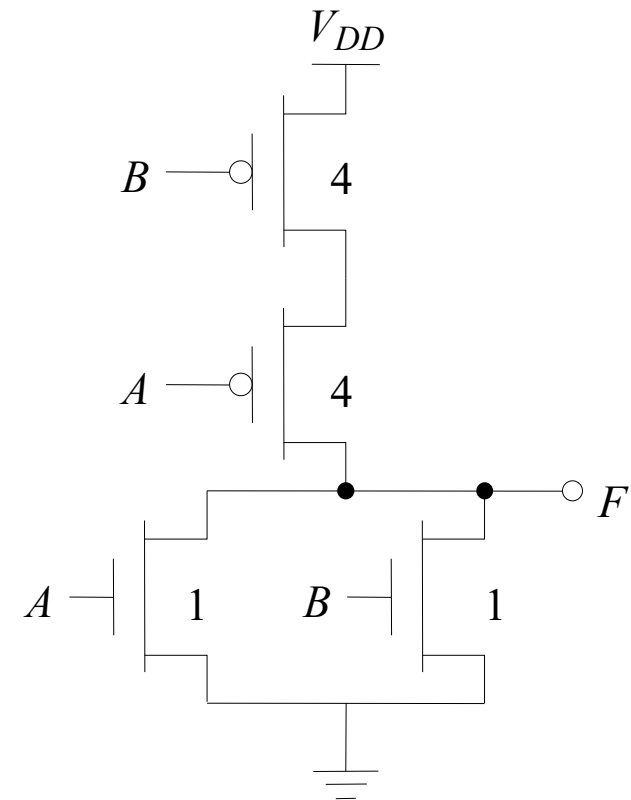
Inverter

$$g = 1$$



2-input NAND

$$g = 4/3$$



2-input NOR

$$g = 5/3$$

Esforço Lógico (Logical Effort)

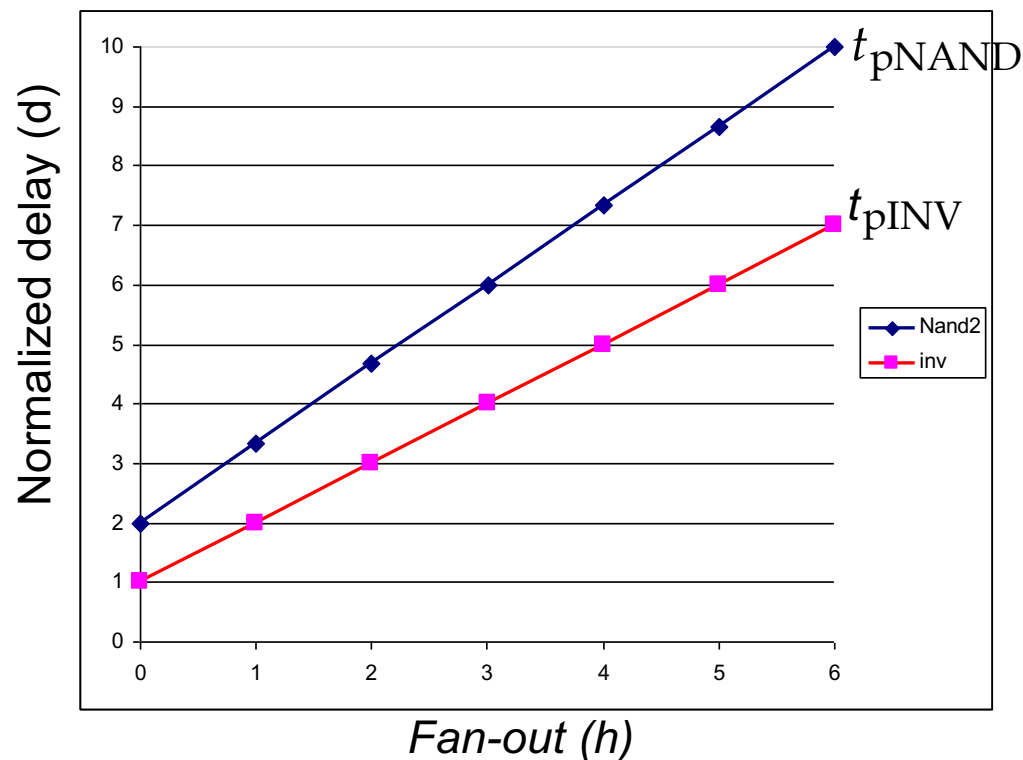
- Inverter has the smallest logical effort and intrinsic delay of all static CMOS gates
- Logical effort increases with the gate complexity
- Fator g para diferentes portas em função do número de entradas

	1	2	3	4	5	n
Inversor	1					
Nand		$4/3$	$5/3$	$6/3$	$7/3$	$(n+2)/3$
Nor		$5/3$	$7/3$	$9/3$	$11/3$	$(2n+1)/3$

Comparação inv e nand2

- *inv*: $d = h + 1$
- *nand* de 2 entradas: $d = (4/3)h + 2$

$$d = g.h + p$$



Exemplo 1

Inversor com fanout 4

- $C_{out} = 4.C_{in} \rightarrow h = 4$
- $d = gh + p = 1 \times 4 + 1 = 5$ unidades de atraso

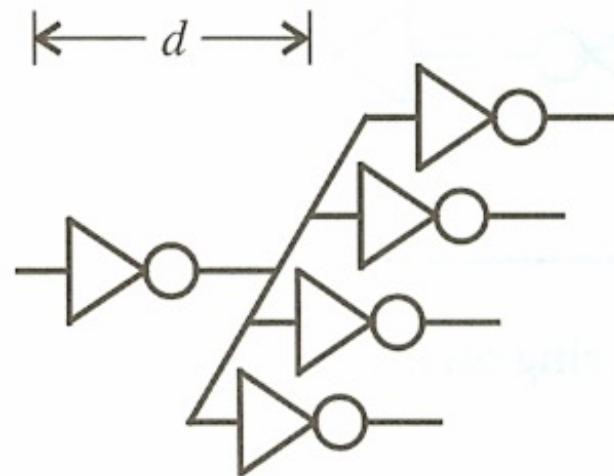


Figure 1.5 — An inverter driving four identical inverters.

Exemplo 2

Porta Nor de 4 entrada carregada por outras 10 portas nor idênticas

- $C_{out} = 10.C_{in} \rightarrow h = 10$
- $g_{nor4} = 9/3$
- $p = 4$
- $d = gh + p = 9/3 \times 10 + 4 = 34$ unidades de atraso

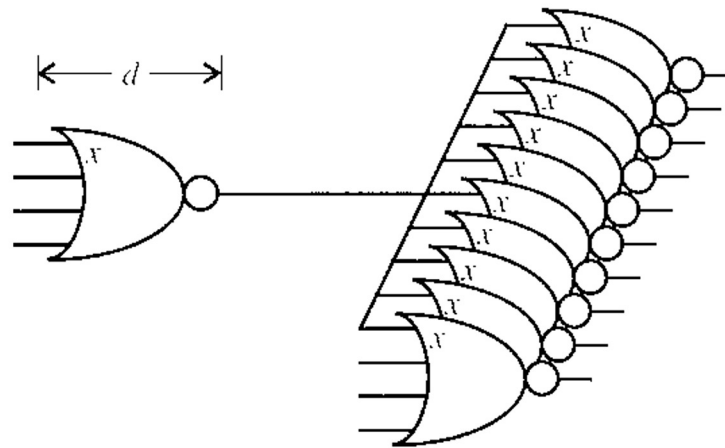


Figure 1.6 — A four-input NOR gate driving 10 identical gates.

Redes Multi-estágio

- ❑ Objetivo: determinar o número ótimo de estágios e o atraso em uma seqüência de portas lógicas
- ❑ Apenas uma porta lógica: $d = g.h + p$
- ❑ Esforço lógico: multiplicação dos g ao longo do caminho:

$$G = \prod g_i$$

- ❑ Esforço elétrico: relação da capacitância do último estágio pela capacitância do primeiro estágio

$$H = \frac{C_{out}}{C_{in}}$$

Redes Multi-estágio

- *Branching effort*: relação da capacitância total de saída pela capacitância ao longo do caminho

$$b = \frac{C_{total}}{C_{useful}}$$

– Não havendo derivações $b=1$

- *Branching effort* ao longo de um caminho: $B = \prod b_i$

Redes Multi-estágio

- ❑ Esforço do caminho: $F = G.B.H$
- ❑ Parasitas do Caminho: $P = \sum p_i$
- ❑ Atraso mínimo no caminho:

$$\hat{D} = N.F^{\frac{1}{N}} + P$$

Esforço do estágio para atraso mínimo

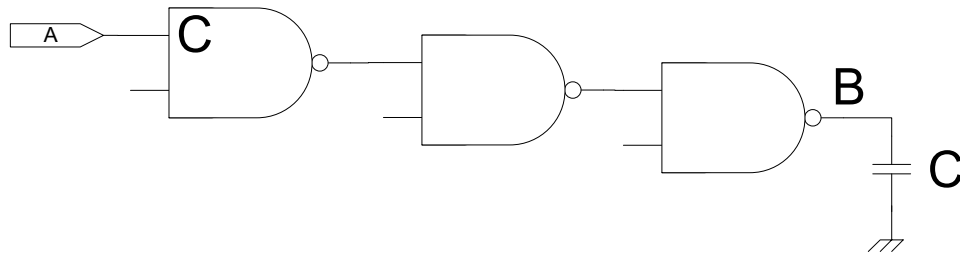
- Considera-se a influência de cada estágio, sem a contribuição dos parasitas:

$$\hat{f} = g_i \cdot h_i = F^{\frac{1}{N}}$$

- Esta equação permite dimensionar os transistores, pois pode-se derivar:

$$C_{in} = \frac{g_i \cdot C_{out}}{\hat{f}}$$

Exemplo 1 de rede multi-estágio



- Considere o caminho $A \rightarrow B$, sendo a capacitância de entrada igual a C e a de saída igual a C. Qual o menor atraso no caminho?

$$G = g_0 \cdot g_1 \cdot g_2 = \frac{4}{3} \cdot \frac{4}{3} \cdot \frac{4}{3} = 2,37$$

$$B = 1$$

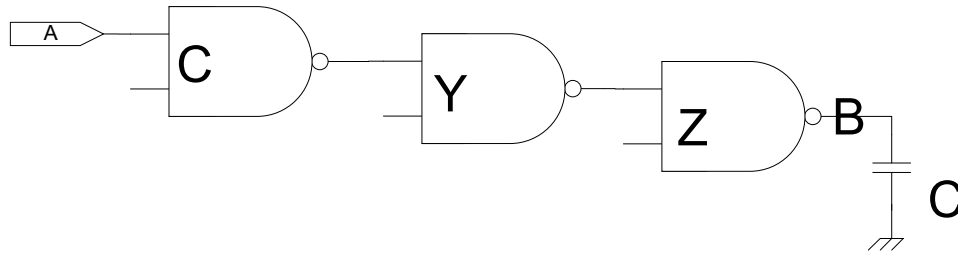
$$H = \frac{C}{C} = 1$$

$$F = G \cdot B \cdot H = 2,37$$

$$P = 3 \cdot (2 \cdot p_{inv}) = 6$$

$$D = 3 \cdot 2,37^{\frac{1}{3}} + 6 = 10 \text{ unidades de atraso}$$

Exemplo 1 de rede multi-estágio



$$\hat{f} = g_i \cdot h_i = F^{\frac{1}{N}}$$

$$C_{in} = \frac{g_i \cdot C_{out}}{\hat{f}}$$

□ Uma vez conhecido o atraso mínimo, dimensionar os transistores

- Esforço do estágio : $\hat{f} = 2,37^{\frac{1}{3}} = 1,333$
- Propagando do último estágio para o primeiro:
 - Último estágio $C_{in} = C \cdot (4/3) / 1.333 = C$
 - Segundo estágio $C_{in} = C \cdot (4/3) / 1.333 = C$
 - Primeiro estágio $C_{in} = C \cdot (4/3) / 1.333 = C$
- Todos os transistores devem ser dimensionados de forma igual
 - Pois: todos tem a mesma carga

Exemplo 2 de rede multi-estágio

- Mesmo exemplo anterior, mas carga de **saída 8C**

$$G = g_0 \cdot g_1 \cdot g_2 = \frac{4}{3} \cdot \frac{4}{3} \cdot \frac{4}{3} = 2,37$$

$$B = 1$$

$$H = \frac{8.C}{C} = 8$$

$$F = G.B.H = 18,96$$

$$P = 3 \cdot (2 \cdot p_{inv}) = 6$$

$$\hat{D} = 3.18,96^{\frac{1}{3}} + 6 = 14 \text{ unidades de atraso}$$

Exemplo 2 de rede multi-estágio

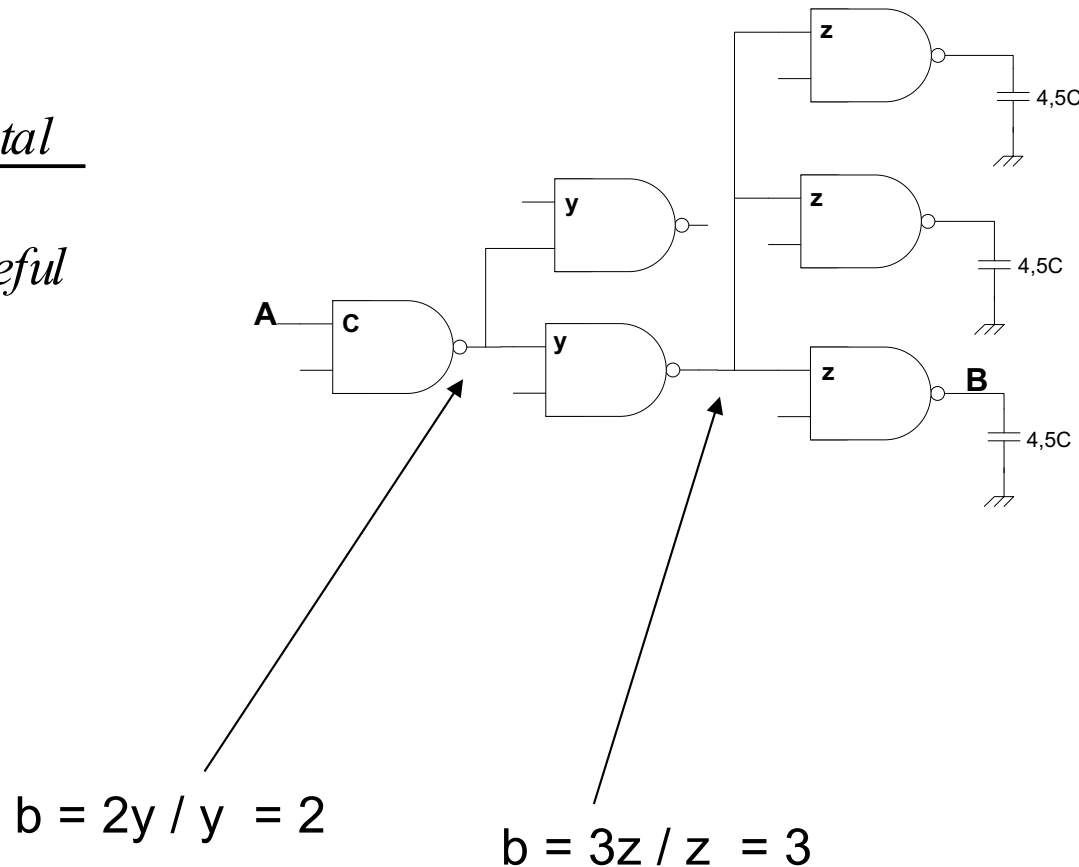
❑ Mesmo exemplo anterior, mas carga de saída $8C$

- Esforço do estágio : $f = 18,96^{\frac{1}{3}} = 2,666$
- Propagando do último estágio para o primeiro:
 - Último estágio $C_{in} = 8.C \cdot (4/3) / 2.666 = 4C$
 - Segundo estágio $C_{in} = 4.C \cdot (4/3) / 2.666 = 2C$
 - Primeiro estágio $C_{in} = 2.C \cdot (4/3) / 2.666 = C$ **(ok, método correto!)**
- **Cada estágio tem o dobro do dimensionamento dos transistores do estágio precedente**
- Conferindo:
 - O atraso de cada nand é igual a $d = (4/3) \cdot 2 + 2 = 4,666$
 - O primeiro 2 é a relação de carga
 - O segundo dois a influência dos parasitas
 - Multiplicando por três $4,666$ temos atraso no caminho = 14 unidades **(ok, método correto!)**

Exemplo de Rede multi-estágio, com branches

- Fator de *branch*
 - Relaciona a influência das derivações nas redes lógicas

$$b = \frac{C_{total}}{C_{useful}}$$



Exemplo de Rede multi-estágio, com branches

- Otimizar o caminho $A \rightarrow B$

$$G = g_0 \cdot g_1 \cdot g_2 = \frac{4}{3} \cdot \frac{4}{3} \cdot \frac{4}{3} = 2,37$$

$$B = 2 \cdot 3 = 6$$

$$H = \frac{4,5 \cdot C}{C} = 4,5$$

$$F = G \cdot B \cdot H = 64$$

$$P = 3 \cdot (2 \cdot p_{inv}) = 6$$

$$\hat{D} = 3 \cdot 64^{\frac{1}{3}} + 6 = 18 \text{ unidades de atraso}$$

Exemplo de rede multi-estágio, com branches

- Esforço dos estágios para atraso mínimo

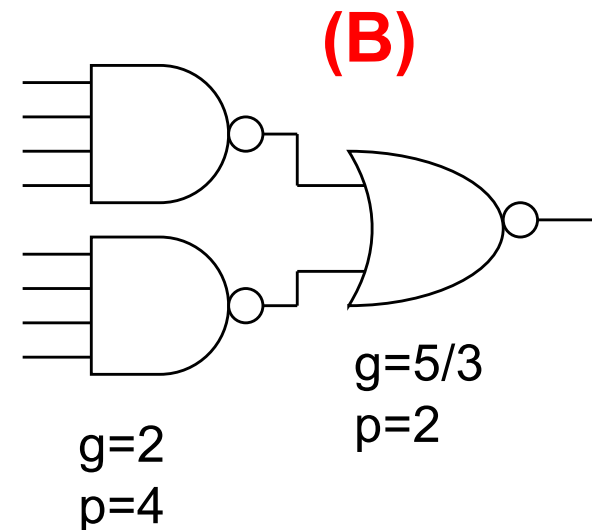
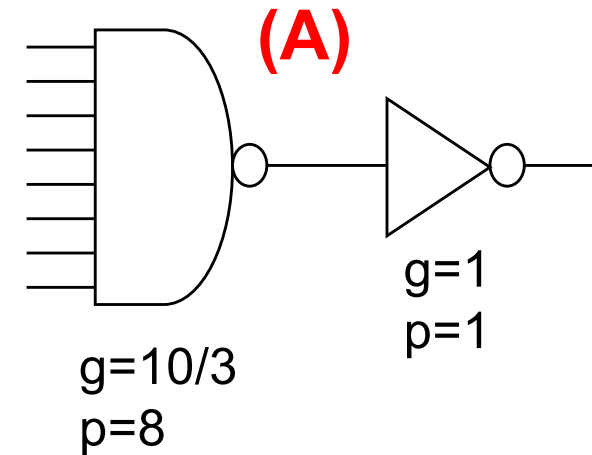
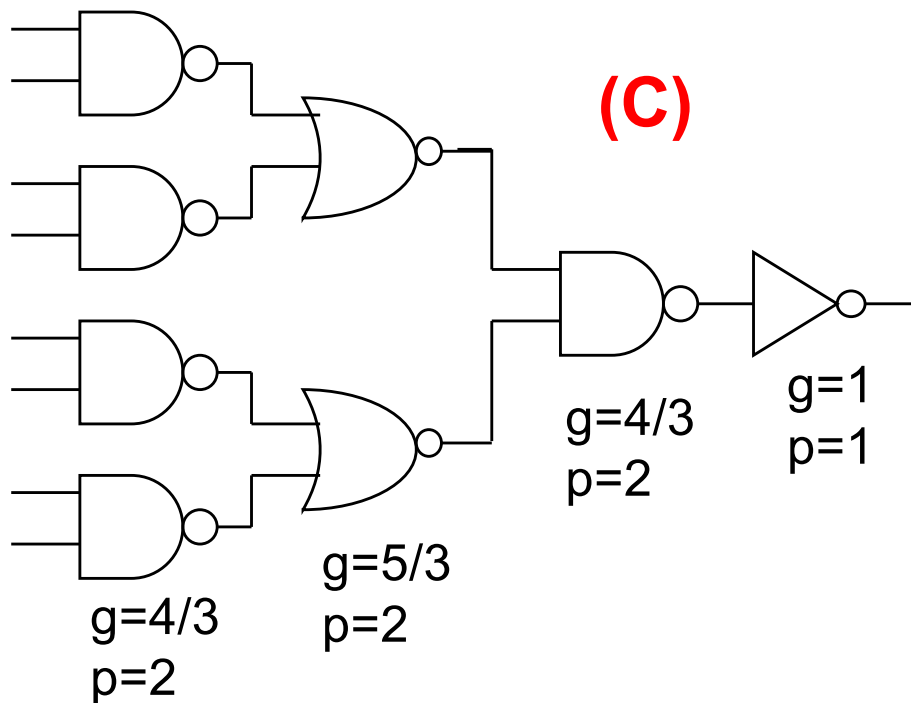
$$\hat{f} = 64^{\frac{1}{3}} = 4$$

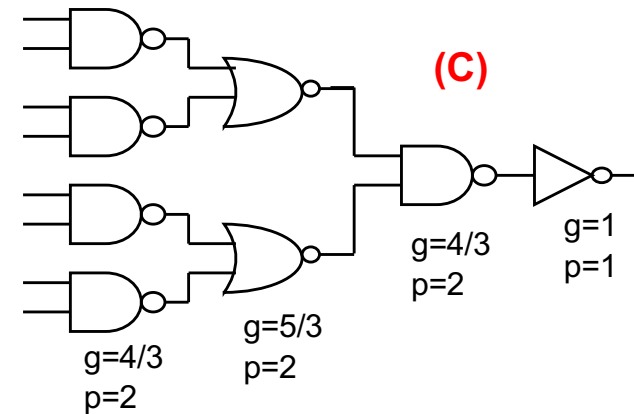
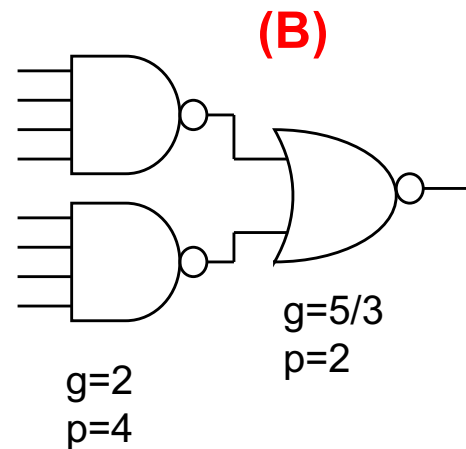
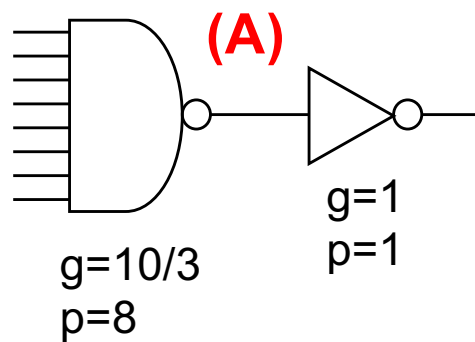
- Propagando do último estágio para o primeiro:
 - Último estágio $C_{in} = 4,5.C \cdot (4/3) / 4 = 1,5 C$
 - Segundo estágio $C_{in} = (3. 1,5C) \cdot (4/3) / 4 = 1,5 C$
 - Primeiro estágio $C_{in} = (2. 1,5C) \cdot (4/3) / 4 = C$ (ok, método correto!)

branch

Determine a configuração para AND-8 com menor atraso

$$F = ABCDEFGH$$





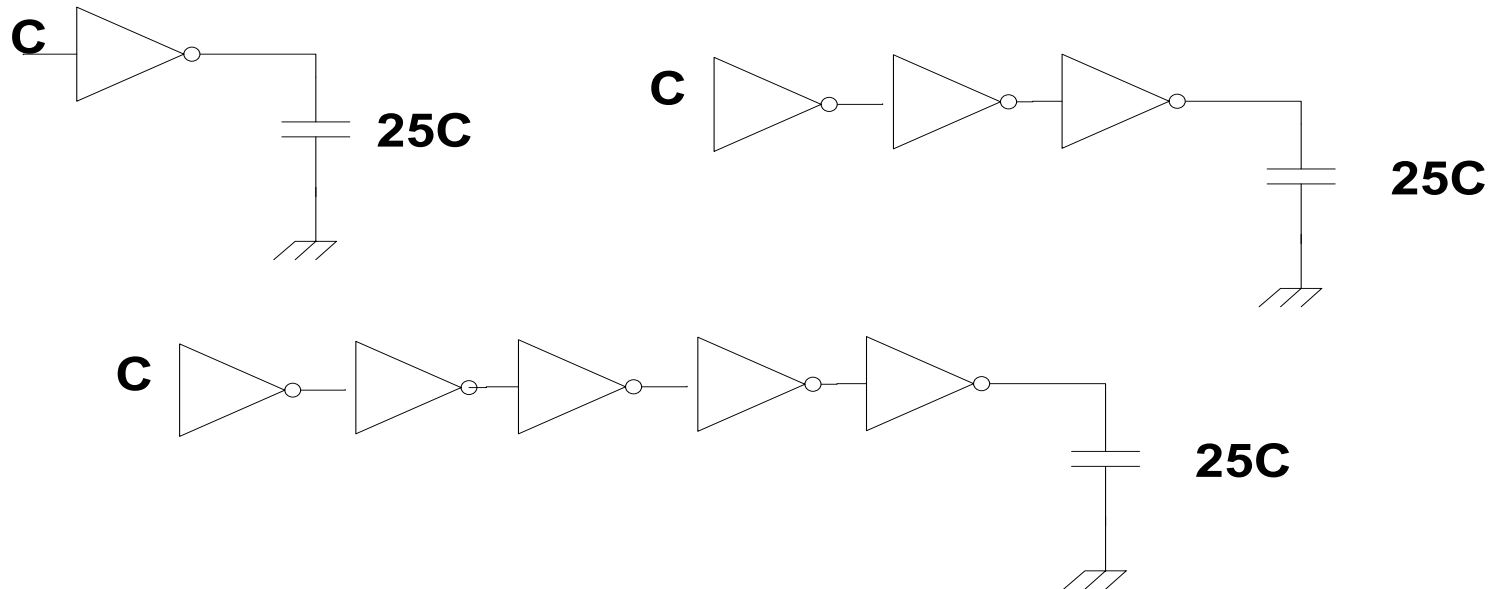
Carga da saída igual à da entrada ($H=1$)

	G	B	H	$F=GBH$	P	N	D min
a	3,33	1	1	3,33	9	2	12,65
b	3,33	1	1	3,33	6	2	9,65
c	2,96	1	1	2,96	7	4	12,25

Carga da saída 12 vezes à da entrada ($H=12$)

	G	B	H	$F=GBH$	P	N	D min
a	3,33	1	12	40,00	9	2	21,65
b	3,33	1	12	40,00	6	2	18,65
c	2,96	1	12	35,56	7	4	16,77

Exemplo de cálculo do número de estágios



Pede-se:

- Calcule o atraso mínimo do caminho ($\hat{D} = N \cdot F^{\frac{1}{N}} + P$). Através deste cálculo, diga qual a melhor escolha para o projetista.
- Para a escolha, calcule a contribuição de cada estágio ($\hat{f} = F^{\frac{1}{N}}$). O que significa este valor no dimensionamento do transistor?

Número de estágios

- $N \cong \log_4 F$
- Para uma relação de 25 vezes de carga:
 - $N = 2,32 \rightarrow 3$ estágios
 - Conferir com o exercício do inversor

Library	Cell
CLOCK65GPHVT	HS65_GL_A022X18
CLOCK65GPLVT	HS65_GL_A022X27
CLOCK65GPSVT	HS65_GL_A022X35
CLOCK65LPHVT	HS65_GL_A031X4
CLOCK65LPLVT	HS65_GL_A031X9
CLOCK65LPSVT	HS65_GL_A031X18
CORE65GPHVT	HS65_GL_A031X27
CORE65GPLVT	HS65_GL_A031X35
CORE65GPSVT	HS65_GL_A032X4
CORE65HV50	HS65_GL_A032X9
CORE65LPHVT	HS65_GL_A032X18
CORE65LPLVT	HS65_GL_A032X27
CORE65LPSVT	HS65_GL_A032X35
CORIG5LPHVT	HS65_GL_A033X4
CORIG5LPSVT	HS65_GL_A033X9
CORL65GPSVT	HS65_GL_A033X18
CORL65LPHVT	HS65_GL_A033X27
CORL65LPSVT	HS65_GL_A033X35
CORXT65GPHVT	HS65_GL_A0112X4
CORXT65GPLVT	
CORXT65GPSVT	
CORXT65LPHVT	
CORXT65LPLVT	
CORXT65LPSVT	
ESWITCH65LPSVTH	
I065LPHVT_ANA_5	
I065LPHVT_CORES	
I065LPHVT_CORES	
I065LPHVT_SF_1V	
I065LPHVT_SF_1V	
I065LPHVT_SF_1V	
I065LPHVT_SF_1V	
I065LPHVT_SF_1V_50A_7M4X0Y2Z	
I065LPHVT_SF_2V5_50A_7M4X0Y2Z	
I065LPHVT_SF_2V5_ANA_DROWS_50A_7M4X0Y2Z	
I065LPHVT_SF_HV_50A_7M4X0Y2Z	
I065LPHVT_TF3V3_HLOAD_3V3_3V3_50A_7M4X0Y2Z	
I065LPHVT_TF3V3_HV_50A_7M4X0Y2Z	
I065LPHVT_TF3V3_POR_3V3_50A_7M4X0Y2Z	
I065LPHVT_TF3V3_SRC_2V5_3V3_50A_7M4X0Y2Z	
I065LPHVT_TF3V3_STD_1V8_2V5_3V3_50A_7M4X0Y2Z	
I065LPHVT_TF3V3_STD_2V5_3V3_3V3TT_50A_7M4X0Y2Z	
I065LPHVT_TF_1V8_50A_7M4X0Y2Z	
I065LPHVT_TF_HV_50A_7M4X0Y2Z	
I065LPSVTHVT_COMPENSATION_1V8_2V5_3V3_50A	
I065LPSVTHVT_COMPENSATION_1V8_2V5_50A	
I065LPSVTHVT_COMPENSATION_3V3_50A	
I065LPSVTHVT_TF_BDPROG_1V8_50A_7M4X0Y2Z	
I065LP_DEVKIT_50A_ST_7M4X0Y2Z	
I065LP_REG_3V3TO2V5_50A_7M4X0Y2Z	
I065LP_SF_BASIC_50A_ST_7M4X0Y2Z	
I065LP_SF_TF_BASIC_50A_ST_7M4X0Y2Z	
I065LP_STEP_50A_ST_7M4X0Y2Z	
I065LP_TF3V3_BASIC_50A_ST_7M4X0Y2Z	
I065LP_TF3V3_FT_50A_ST_7M4X0Y2Z	
I065LP_TF_BASIC_50A_ST_7M4X0Y2Z	
PRHS65	
SHIFT65_HS_LP	
SHIFT65_HS_LP50	
SHIFT65_HS_LP50L072	
SHIFT65_HS_LP_SW	
SHIFT65_HV_50	
SHIFT65_HV_LP50	
STLib	
US_8ths	
basic	
cdsDefTechLib	
cmos065	
cmos065_7m4x0y2z_AP	
cmos065_a	
cmos065_hv	
cmos065_rf	
functional	
lab3	
sbalib	

Biblioteca Real: Múltiplos drivers

HS65_GL_IVX2
HS65_GL_IVX4
HS65_GL_IVX7
HS65_GL_IVX9
HS65_GL_IVX13
HS65_GL_IVX18
HS65_GL_IVX22
HS65_GL_IVX27
HS65_GL_IVX31
HS65_GL_IVX35
HS65_GL_IVX40
HS65_GL_IVX44
HS65_GL_IVX49
HS65_GL_IVX53
HS65_GL_IVX62
HS65_GL_IVX71
HS65_GL_IVX106
HS65_GL_IVX142
HS65_GL_IVX213
HS65_GL_IVX284

HS65_GL_NAND2X2
HS65_GL_NAND2X4
HS65_GL_NAND2X5
HS65_GL_NAND2X7
HS65_GL_NAND2X11
HS65_GL_NAND2X14
HS65_GL_NAND2X21
HS65_GL_NAND2X29
HS65_GL_NAND2X43
HS65_GL_NAND2X57

HS65_GL_AND2X4
HS65_GL_AND2X9
HS65_GL_AND2X18
HS65_GL_AND2X27
HS65_GL_AND2X35

Biblioteca Real: Portas Complexas

CORE65GPHVT
CORE65GPLVT
CORE65GPSVT

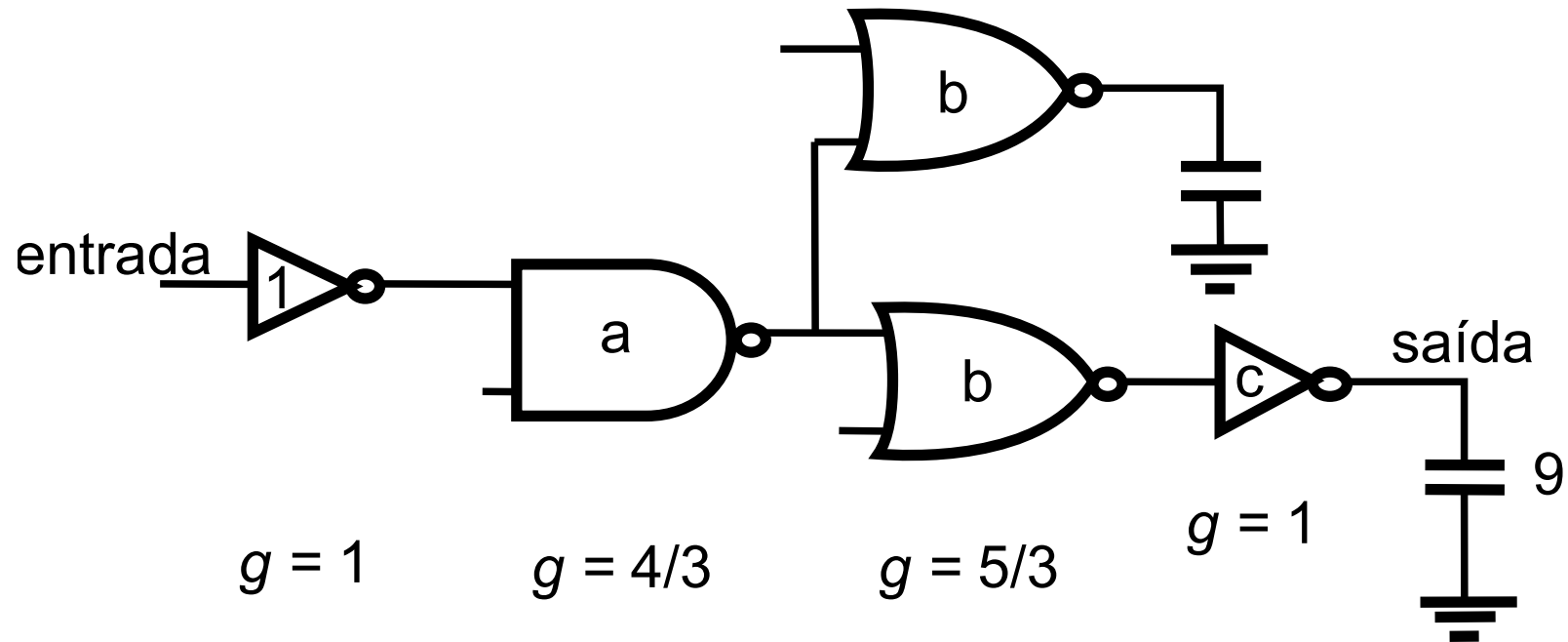
HS65_GL_OAI21X9
HS65_GL_OAI21X12
HS65_GL_OAI21X18
HS65_GL_OAI21X24
HS65_GL_OAI21X37
HS65_GL_OAI21X49
HS65_GL_OAI22X1
HS65_GL_OAI22X3
HS65_GL_OAI22X4
HS65_GL_OAI22X6
HS65_GL_OAI22X8
HS65_GL_OAI22X11
HS65_GL_OAI22X17
HS65_GL_OAI22X22
HS65_GL_OAI22X33
HS65_GL_OAI22X44
HS65_GL_OAI31X1
HS65_GL_OAI31X2
HS65_GL_OAI31X4
HS65_GL_OAI31X5
HS65_GL_OAI31X7
HS65_GL_OAI31X10
HS65_GL_OAI31X15
HS65_GL_OAI31X20
HS65_GL_OAI31X30
HS65_GL_OAI31X40
HS65_GL_OAI32X2
HS65_GL_OAI32X5
HS65_GL_OAI32X9
HS65_GL_OAI32X14
HS65_GL_OAI32X19
HS65_GL_OAI33X2
HS65_GL_OAI33X3
HS65_GL_OAI33X6
HS65_GL_OAI33X10
HS65_GL_OAI33X13
HS65_GL_OAI112X1
HS65_GL_OAI112X3
HS65_GL_OAI112X4
HS65_GL_OAI112X5
HS65_GL_OAI112X8
HS65_GL_OAI112X11
HS65_GL_OAI112X16
HS65_GL_OAI112X22
HS65_GL_OAI112X33
HS65_GL_OAI112X44
HS65_GL_OAI211X1
HS65_GL_OAI211X3
HS65_GL_OAI211X4
HS65_GL_OAI211X5
HS65_GL_OAI211X8
HS65_GL_OAI211X11
HS65_GL_OAI211X16
HS65_GL_OAI211X22
HS65_GL_OAI211X33
HS65_GL_OAI211X44
HS65_GL_OAI212X3
HS65_GL_OAI212X5
HS65_GL_OAI212X10
HS65_GL_OAI212X15
HS65_GL_OAI212X20
HS65_GL_OAI222X2
HS65_GL_OAI222X5
HS65_GL_OAI222X9
HS65_GL_OAI222X14
HS65_GL_OAI222X19
HS65_GL_OAI311X2
HS65_GL_OAI311X5
HS65_GL_OAI311X10
HS65_GL_OAI311X15
HS65_GL_OAI311X20

Biblioteca Real: OAI e AOI

HS65_GL_OAI211X8
HS65_GL_OAI211X11
HS65_GL_OAI211X16
HS65_GL_OAI211X22
HS65_GL_OAI211X33
HS65_GL_OAI211X44
HS65_GL_OAI212X3
HS65_GL_OAI212X5
HS65_GL_OAI212X10
HS65_GL_OAI212X15
HS65_GL_OAI212X20
HS65_GL_OAI222X2
HS65_GL_OAI222X5
HS65_GL_OAI222X9
HS65_GL_OAI222X14
HS65_GL_OAI222X19
HS65_GL_OAI311X2
HS65_GL_OAI311X5
HS65_GL_OAI311X10
HS65_GL_OAI311X15
HS65_GL_OAI311X20

Exercício 1/6

Dimensione o seguinte circuito (valores de a, b, e c) para obter o menor tempo de propagação da entrada para saída.



- atraso mínimo em um caminho: $D = N \cdot F^{\frac{1}{N}} + P$, onde N corresponde ao número de estágios e F o esforço do caminho.
- $F = G \cdot B \cdot H$, onde:
 - G é o esforço lógico do caminho: $G = \prod g_i$
 - B é a influência da derivações no caminho: $B = \prod b_i$, onde $b_i = \frac{C_{total}}{C_{useful}}$
 - H é a relação entre a capacitância de saída pela capacitância de entrada
- a contribuição de cada estágio ao longo de um caminho para se obter o atraso mínimo é dado por: $\hat{f} = g_i \cdot h_i = F^{\frac{1}{N}}$
- de posse da contribuição de cada estágio, dimensiona-se a porta lógica: $C_{in} = \frac{g_i \cdot C_{out}}{\hat{f}}$
- atraso de uma porta: $d = g \cdot h + p$ (onde g é o esforço lógico)

g (esforço Lógico)	1	2	3	4	5	n
Inversor	1					
Nand		4/3	5/3	6/3	7/3	(n+2)/3
Nor		5/3	7/3	9/3	11/3	(2n+1)/3

Solução

QUESTÃO 1 – derivação

$$G = 1 \cdot (4/3) \cdot (5/3) \cdot 1 = 20/9$$

$$B = 2 \leftarrow \text{devido à derivação na nand}$$

$$H = 9$$

$$F = GBH = 40$$

$$D = N.F \exp(1/N) + P = 4 \cdot (40) \exp(1/4) + 6 = 16,059$$

$$f = (40) \exp(1/4) = 2,515$$

Dimensionamentos

$$c = 1 \cdot 9 / 2,51 = 3,57$$

$$b = (5/3) \cdot 3,57 / 2,51 = 2,37$$

$$a = (4/3) \cdot (2 \cdot 2,37) / 2,51 = 2,51$$

$$\text{inversor, conferindo: } 1 \cdot 2,51 / 2,51 = 1 \text{ (ok)}$$

Tempos ($d = gh + p$)

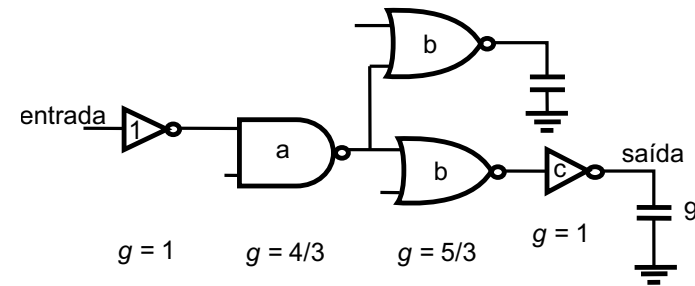
$$d \text{ Inversor} = 1 \cdot (9/3,57) + 1 = 3,51$$

$$d \text{ Nor} = (5/3) (3,57/2,37) + 2 = 4,51$$

$$d \text{ Nand} = (4/3) (2 \cdot 2,37/2,51) + 2 = 4,51$$

$$d \text{ Inv} = 1 \cdot (2,51/1) + 1 = 3,51$$

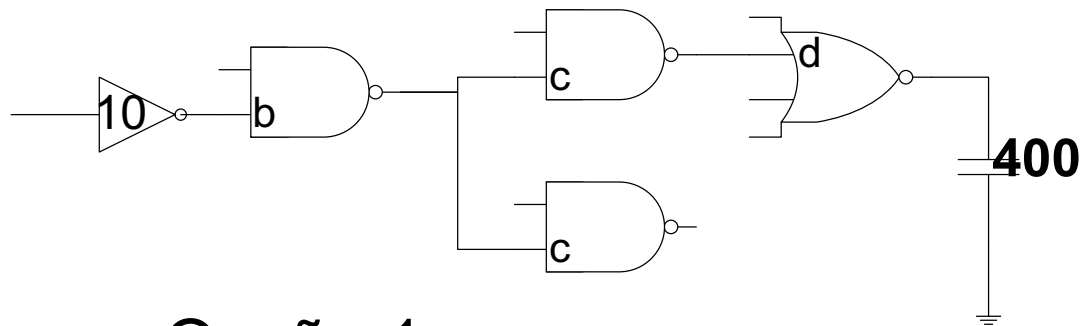
$$\text{delay total} = 16,059 \text{ unidades de tempo (ok)}$$



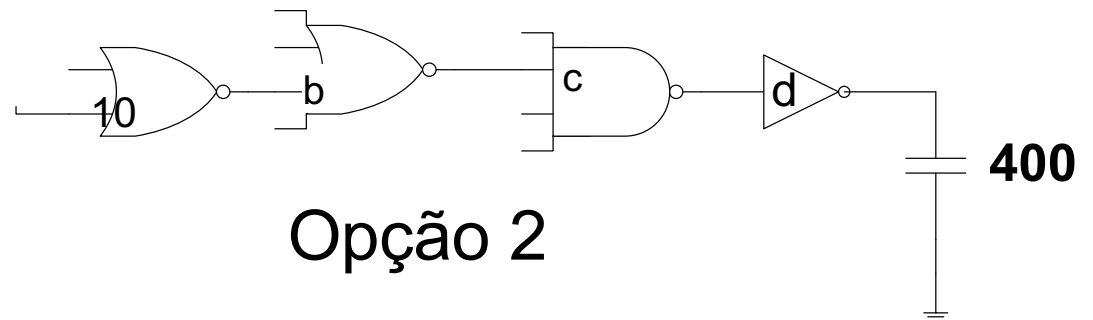
- atraso mínimo em um caminho: $\hat{D} = N.F^{\frac{1}{N}} + P$, onde N corresponde ao número de estágios, F ao esforço do caminho, e P ao número de entradas no caminho.
- $F = G.B.H$, onde:
 - G é o esforço lógico do caminho: $G = \prod g_i$
 - B é a influência das derivações no caminho: $B = \prod b_i$, onde $b_i = \frac{C_{total}}{C_{useful}}$
 - H é a relação entre a capacitância (carga) de saída pela capacitância de entrada
- contribuição de cada estágio ao longo de um caminho: $\hat{f} = g_i \cdot h_i = F^{\frac{1}{N}}$
- de posse da contribuição de cada estágio, dimensiona-se cada porta lógica: $C_{in} = \frac{g_i \cdot C_{out}}{\hat{f}}$
- atraso de uma porta: $d = g \cdot h + p$ (onde g é o esforço lógico)

Exercício 2/6 – Escolha de Topologia

O projetista, ao utilizar uma ferramenta de síntese, obteve duas soluções distintas para um mesmo circuito, conforme abaixo. Determine a solução que teria menor área (somatório do dimensionamento dos transistores – $10/b/c/d$), e o menor atraso. Justifique as escolhas.



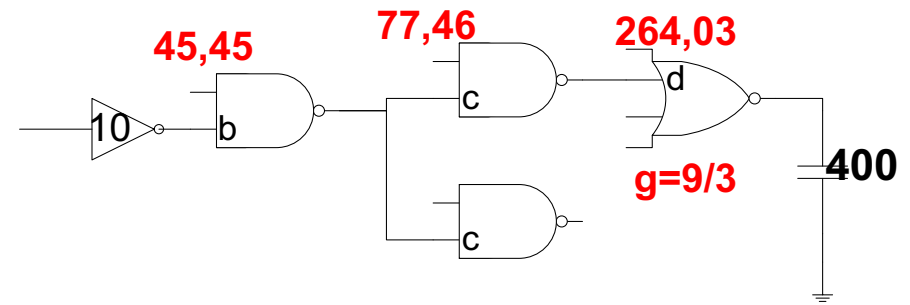
Opção 1



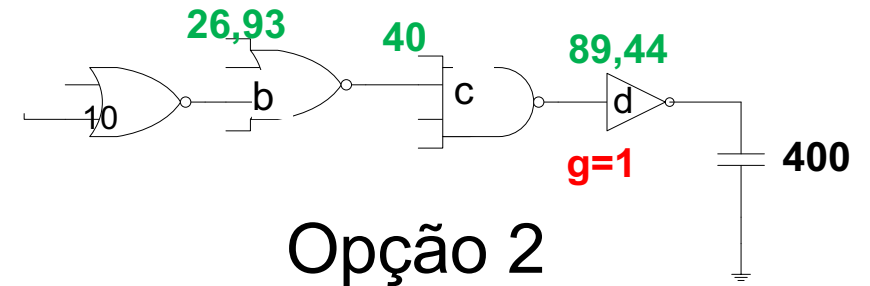
Opção 2

Solução

	opção 1	opção 2
G	5,333333	10
B	2	1
H	40	40
F		
(GBH)	426,6667	400
N	4	4
atraso	27,17951	28,88854
f	4,544877	4,472136



Opção 1



Opção 2

um caminho: $\hat{D} = N \cdot F^{\frac{1}{N}} + P$, onde N corresponde ao número de estágios, F ao esforço número de entradas no caminho.

esforço lógico do caminho: $G = \prod g_i$

influência das derivações no caminho: $B = \prod b_i$, onde $b_i = \frac{C_{total}}{C_{useful}}$

relação entre a capacitância (carga) de saída pela capacitância de entrada

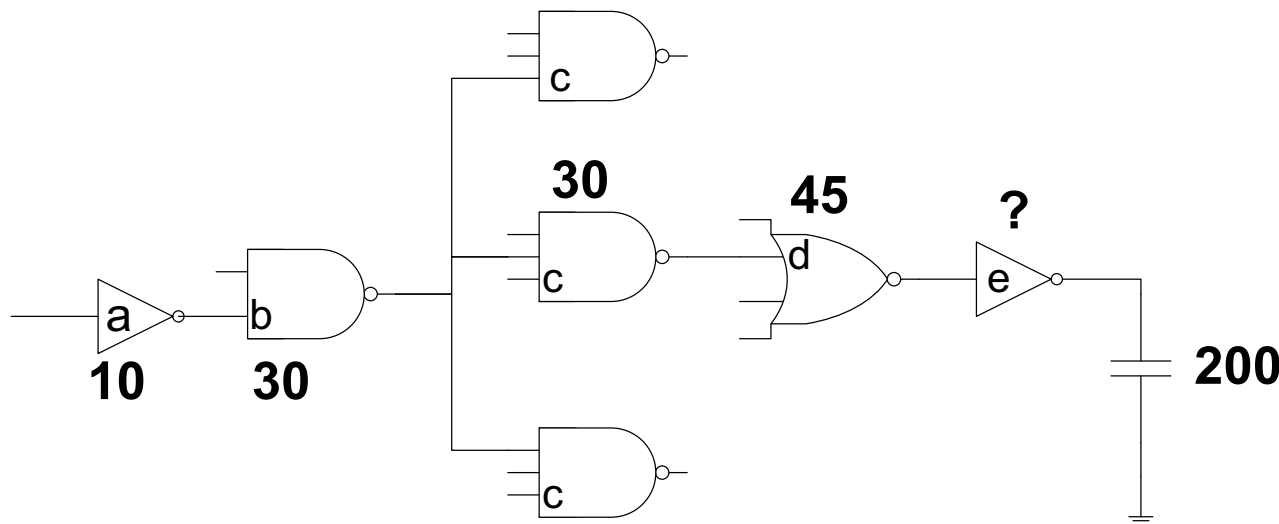
em um estágio ao longo de um caminho: $\hat{f} = g_i \cdot h_i = F^{\frac{1}{N}}$

relação de cada estágio, dimensiona-se cada porta lógica: $C_{in} = \frac{g_i \cdot C_{out}}{\hat{f}}$

atraso de cada porta: $d = g \cdot h + p$ (onde g é o esforço lógico)

Exercício 3/6 – Driver de Saída

Considere a rede multi-estágio abaixo, onde as capacitâncias estão definidas por x microns de gates ($g_{\text{inv}}=1$, $g_{\text{nand2}}=4/3$, $g_{\text{nand3}}=5/3$, $g_{\text{nor4}}=9/3$).



Supondo que o projetista determinou que o atraso neste caminho devesse ser **28 unidades de atraso de propagação**, determine o dimensionamento do inversor **e**.

Dica: não usar a equação de atraso mínimo f . Montar equações de atraso para cada gate utilizando a equação $d = g \cdot h + p$. Assim teremos $d_A + d_B + d_C + d_D + d_E = 28$, resultando em uma equação de segundo grau.

Solução

$$dA = 1 * (30/10) + 1 = 4$$

$$dB = (4/3) * (90/30) + 2 = 6$$

$$dC = (5/3) * (45/30) + 3 = 5,5$$

$$dD = (9/3) * (x/45) + 4 = x/15 + 4$$

$$dE = 1 * (200/x) + 1 = 200/x + 1$$

$$4 + 6 + 5,5 + (x/15 + 1) + (200/x + 1) = 28$$

$$x/15 + 200/x - 7,5 = 0$$

$$x^2 - 112,5x + 3000 = 0$$

$$\text{raiz 1} \quad 69,0586885$$

$$\text{raiz 2} \quad 43,4413115$$

A escolha é pela solução 43,44 → menos área de silício

delays

5,603913

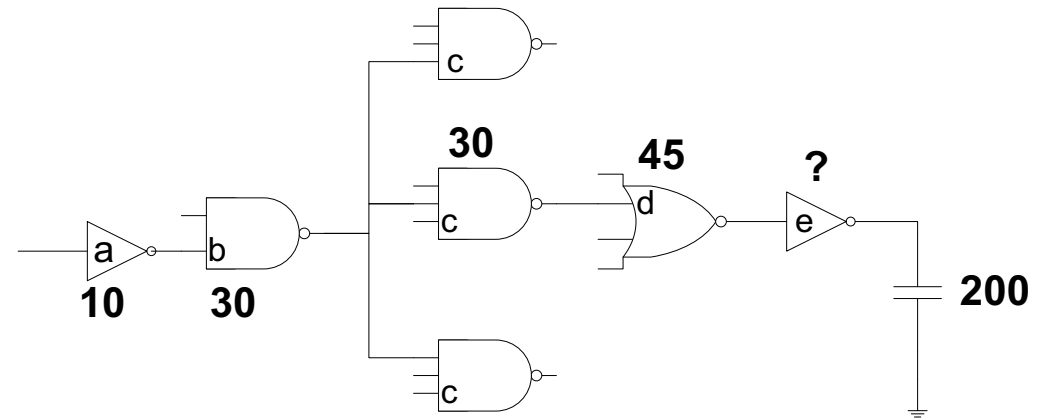
6,896087

5,5

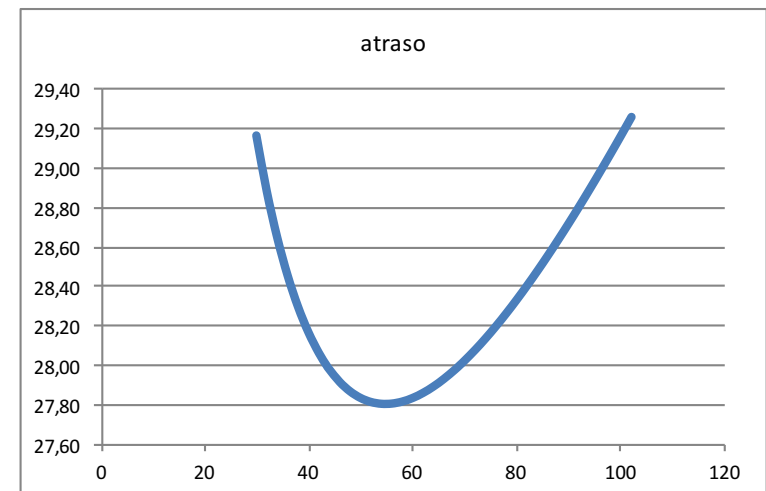
6

4

28



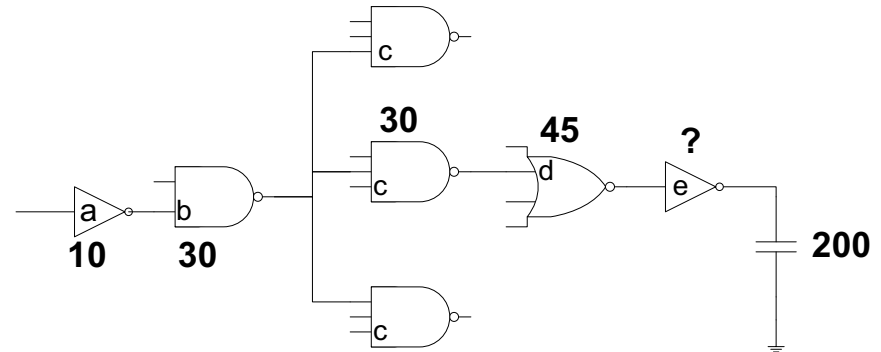
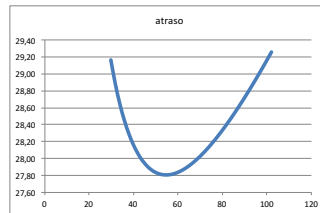
5. atraso de uma porta: $d = g.h + p$ (onde g é o esforço lógico)



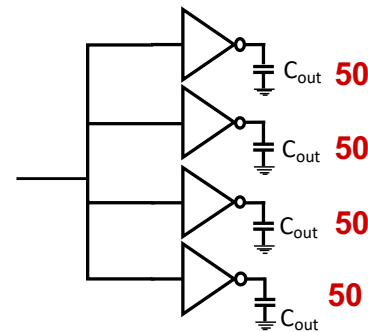
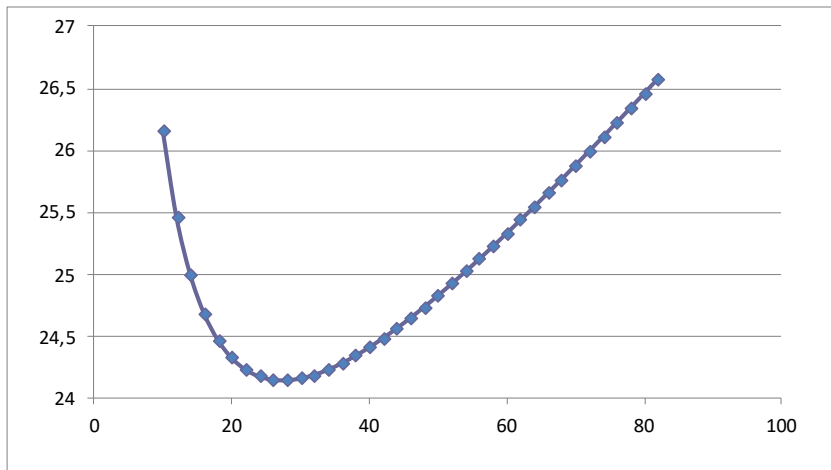
E para reduzir o atraso?

Reduzir a carga de saída

Original:
CI=200, e=54 → d= 27,8

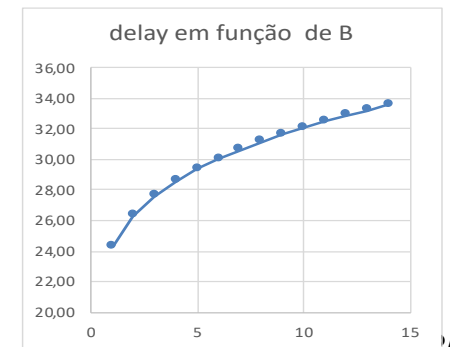


Para:
CI=50, We=28 → d= 24,15



Ou reduz B

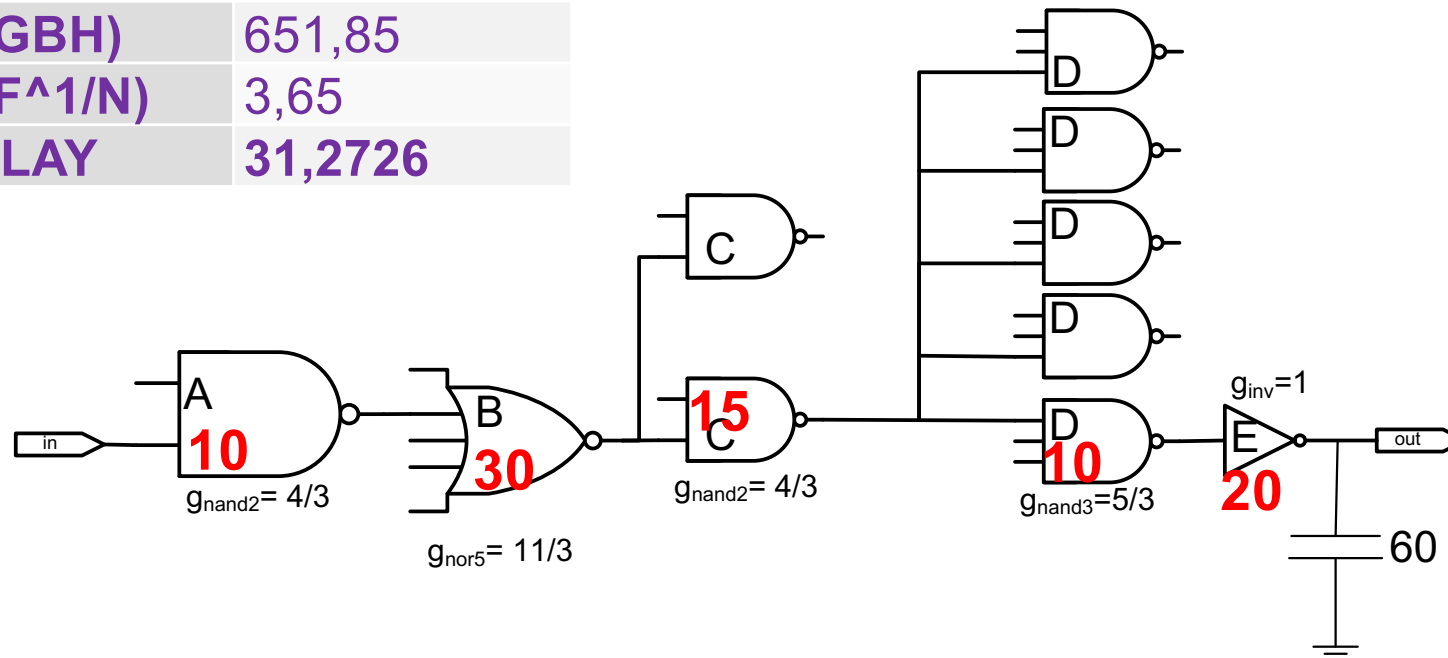
Para B=1
Dmin=23,3



Exercício 4/6 – Biblioteca de Células

Considere o circuito abaixo, com as portas lógicas já pré-selecionadas. Determine o atraso mínimo e o atraso com o dimensionamento fornecido. Qual a diferença no atraso?

P	13
G	10,86
B	10
H	6
N	5
F (GBH)	651,85
f (F ^{1/N})	3,65
DELAY	31,2726



Exercício 5/6 – Uso de células bib.

- 5) Considere o circuito abaixo, que deve ter suas portas lógicas dimensionadas pelo método logic effort.
- Determine o **atraso mínimo** no caminho composto pelas portas lógicas do caminho apresentado na figura.
 - Determine o dimensionamento das portas lógicas do caminho, de tal forma que o atraso seja o mínimo possível. Determinar também para cada porta lógica seu atraso. **Preencher as colunas *Logic Effort***, com precisão de duas casas decimais em ambas tabelas abaixo (para os cálculos **não** fazer arredondamentos).
 - Utilizando as opções de dimensionamento disponíveis para o projetista (tabela abaixo), escolha uma opção de dimensionamento para as portas lógicas do caminho (escolha sempre o dimensionamento igual ou superior ao da tabela, por exemplo: se o calculado para uma nor2 foi $C_{in}=23$ utilizar $C_{in}=30$). **Preencher as colunas W_{fixo}** , com precisão duas casas decimais.
 - Qual a diferença entre o atraso mínimo e o novo atraso?

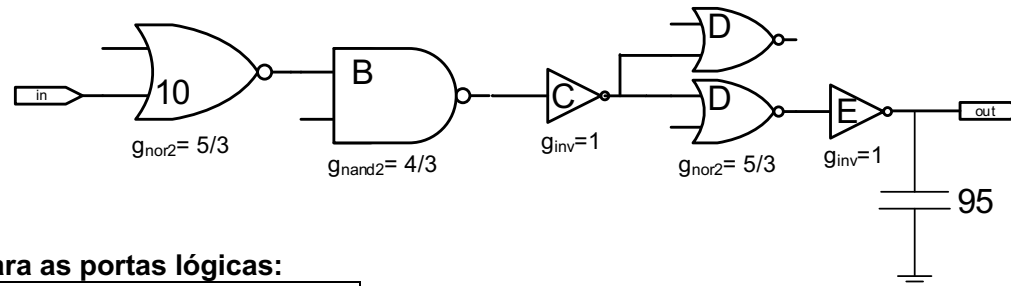


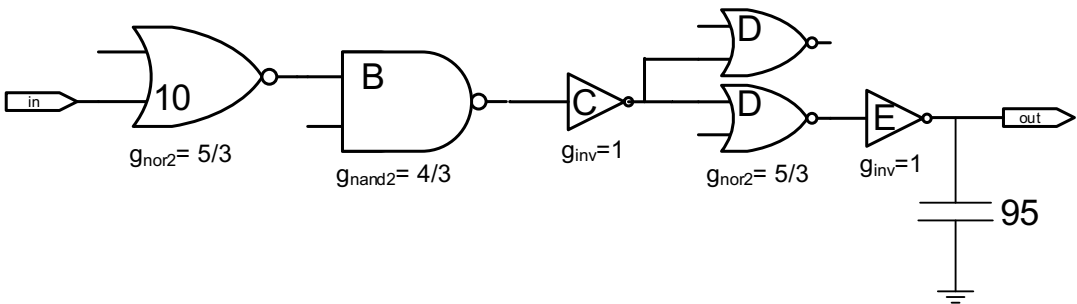
Tabela de dimensionamentos possíveis para as portas lógicas:

	Dimensionamentos (C_{in})					
INV	10	15	20	30	40	50
NAND2	10		20		30	
NOR2						

DIMENSIONAMENTO	<i>Logic Effort</i>	W_{fixo}
We		
Wd		
Wc		
Wb		
Win	10	10

DELAY	<i>Logic Effort</i>	W_{fixo}
E		
D		
C		
B		
in		
Atraso Total:		

Solução



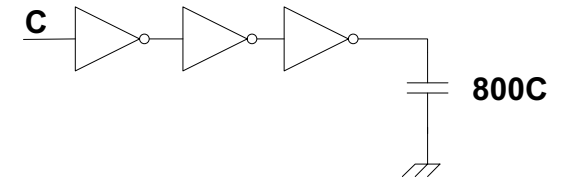
CIN	10
COUT	95
P	8
G	3,70
B	2
H	9,5
N	5
F	

	Dimensionamentos (C _{in})					
INV	10	15	20	30	40	50
NAND2	10		20		30	
NOR2						

		dimensionamento		atraso		
		calculado	Fixo	calculado	Fixo	
inv	We	40,57	40	3,341	3,375	
nor2	Wd	28,88	30	4,341	4,222	
inv	Wc	24,67	30	3,341	3,000	
nand2	Wb	14,05	20	4,341	4,000	
nor2	Wa	10,00	10	4,341	5,333	
				19,707	19,931	Diferença: -0,22349

Exercício 6/6 – cálculo de estágios em buffer

Considere que um projetista necessita de uma função inversor para carregar uma carga 800 vezes superior à carga de entrada (isto ocorre, por exemplo, em circuitos de entrada e saída). O projetista considera 4 opções: um único inversor, três inversores em série, cinco inversores em série e sete inversores em série. A figura ao lado ilustra a configuração para 3 inversores em série.



Pede-se

Calcule o atraso mínimo do para as 4 configurações (1-3-5-7). Através deste cálculo, diga qual a melhor escolha para o projetista.

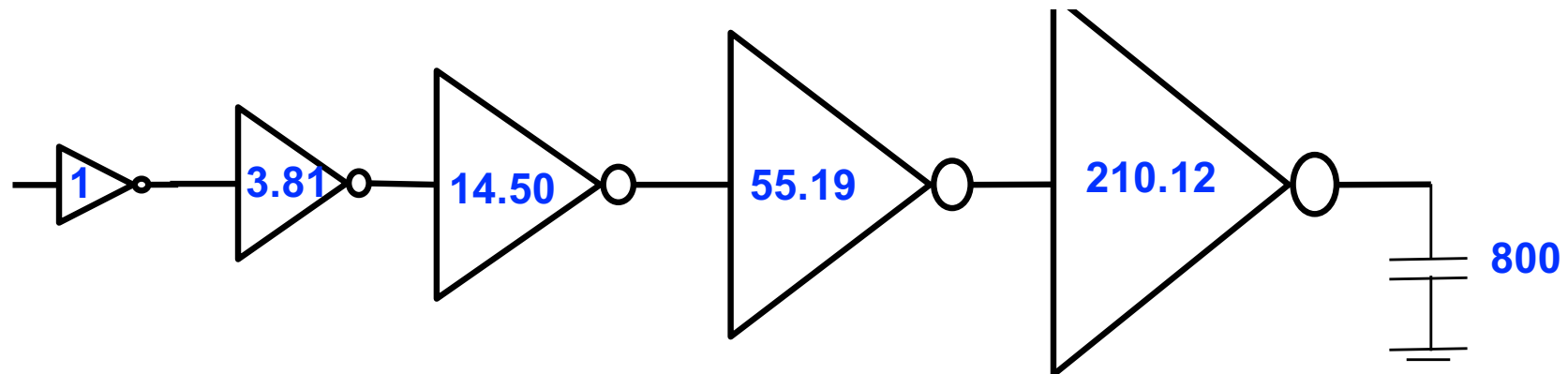
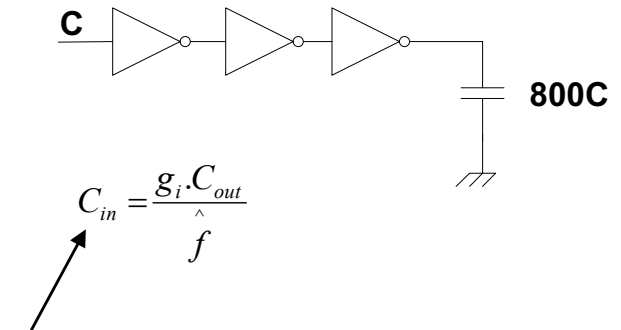
Para a configuração escolhida, determine o dimensionamento de cada inversor.

Solução

$$\hat{D} = N \cdot F^{\frac{1}{N}} + P$$

$$F = GBH = 1 \cdot 1 \cdot 800 = 800$$

	estágios	f
1	1	800
3	3	9.28
5	5	3,8073
7	7	2,60



Solução da sequência de inversores → cinco ESTÁGIOS tem o atraso mínimo