

LABORATÓRIO 5 – SIMULAÇÃO DE FLIP-FLOPS (28nm)

Prof. Fernando Gehm Moraes – Revisão: 24/outubro/2026

Baixar os arquivos do laboratório e configurar o ambiente para a simulação no VDI:

```
cd ~/onedrive
wget https://fgmoraes.github.io/microel/lab5.zip
unzip lab5.zip
cd lab5
source ~/onedrive/micro.sh
```

Arquivo Spice - O arquivo contém os seguintes blocos:

```
*****
** TRANSISTOR SIZING AND OUTPUT LOAD USED DURING THIS SIMULATION (DO NOT MODIFY)
*****
.param wn=0.15u wp=0.2u CL=2ff

*****
** BASIC GATES USED TO BUILD THE FLOPS (DO NOT MODIFY)
*****
.subckt inv in out vcc
.subckt invX4 in out vcc
.subckt inv_tg in ck nck out vcc
.SUBCKT nand2 s1 s2 o1 vcc
.subckt tg a b nb out vcc
.subckt clckg CLK clkG vcc

*****
** FLIP-FLOPS DESCRIPTION
*****
.subckt latch D Q ck nck vcc - SLIDE 14 - microel_slides_07.pdf
X1 D Y vcc inv
X2 Y ck nck X vcc tg
X3 X Z vcc inv
X4 Z nck ck X vcc inv_tg
X5 X Q vcc inv
.ic v(X)=0.9 ** inicializa a saída em zero - X está conectado a um inversor
.ends latch

.subckt ff_static D Q nQ ck nck vcc - SLIDE 21 - microel_slides_07.pdf
completar

.subckt ff_tspc D Q nQ ck vcc - SLIDE 08 - microel_slides_08.pdf
completar

.subckt ff_pulse d q clkG vcc - SLIDE 14 - microel_slides_08.pdf
completar

*****
** FLIP-FLOPS INSTANTIATION
*****

**** circuit 1 - LATCH *****
X1 D q_latch CK nCK vcc latch
C1 q_latch 0 CL

**** circuit 2 - FLIP-FLOPS MASTER-SLAVE
X2 completar ff_static
X3 completar ff_tspc
X4 completar ff_pulse
X5 CK clkG vcc clkG

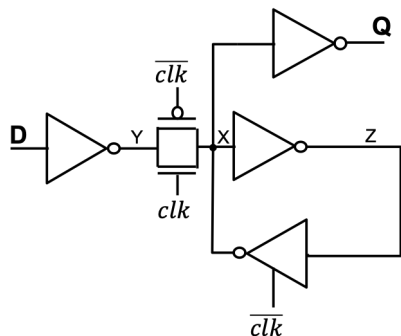
** the 3 flops are loaded by an inverter

** circuit 3 -counter*****
.ic v(f0)=0 v(f1)=0 v(f2)=0 v(f3)=0 v(Q0)=0.9 v(Q1)=0.9 v(Q2)=0.9 v(Q3)=0.9
Xc0 completar vcc ff_tspc
Xc1 completar vcc ff_tspc
Xc2 completar vcc ff_tspc
Xc3 completar vcc ff_tspc

** circuit 4 - clock divider *****
X6 nqD qD nqD CK nCK vcc ff_static
C61 qD 0 clms
```

1) [1,5 pt] SIMULAÇÃO DO CIRCUITO LATCH

No arquivo *ff28.sp* a *latch* é implementada com *buffer tristate* – (slide 14 - *microel_slides_07.pdf*).



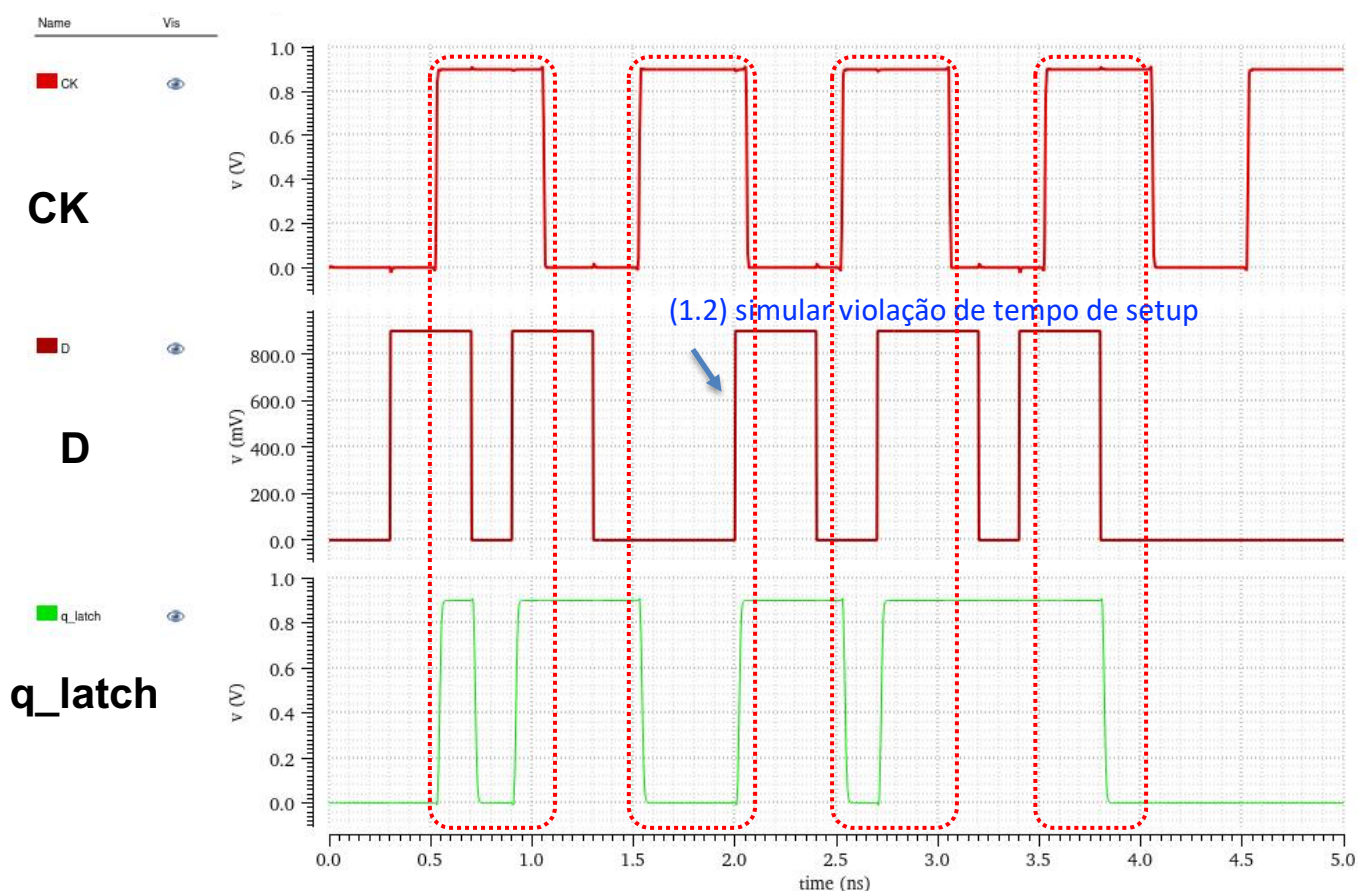
Instanciação do circuito (fornecido)

**** circuit 1 - LATCH ****

X1 D q_latch CK nCK vcc latch

C1 q_latch 0 CL

Simular o arquivo fornecido, observar os sinais *ck*, *D*, *q_latch*. A figura abaixo mostra as formas de onda resultantes.



Responder:

- 1.1. Para qual nível a *latch* é “transparente” (ou “passante”, ou “seguidor”)? Explicar o comportamento da figura acima.
- 1.2. **Tempo de setup.** Gerar violação de tempo de setup, plotar o gráfico, e explicar o comportamento.

Sugestão. De:

Para:

+	1.303n	0	2n	0
+	2.003n	0.9	2.4n	0.9

+	1.303n	0	2.05n	0
+	2.053n	0.9	2.4n	0.9

(retornar o arquivo à configuração original após simular)

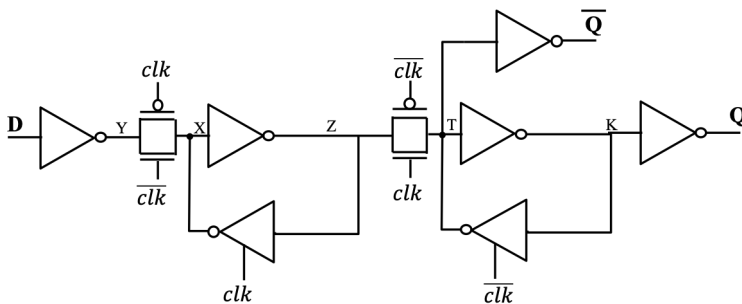
2) [5,5 pt] SIMULAÇÃO DOS FLIP-FLOPS (ESTÁTICO, TSPC E PULSADO)

Antes de descrever os flip-flops, instanciá-los no arquivo spice conforme a descrição abaixo:

```
**** circuit 2 - FLIP-FLOPS MASTER-SLAVE
X2 D qE nqE CK nCK vcc ff_static
X3 D qT nqT CK      vcc ff_tspc
X4 D qP      clkG    vcc ff_pulse
```

Descrever cada flip-flop, e testá-los individualmente. É mais fácil depurar os circuitos desta forma.

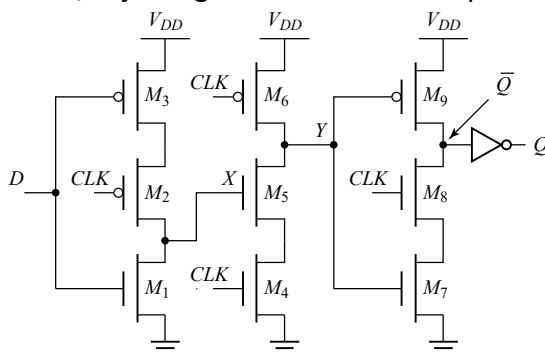
→ FF MS estático, cujo diagrama elétrico está apresentado abaixo



Completar a descrição do sub-circuito

```
.subckt ff_static D Q NQ ck nck vcc
X1 D Y      vcc inv
X2 Y  nck   ck X vcc tg
X3
X4
X5
X6
X7
X8
X9
.ends ff_static
```

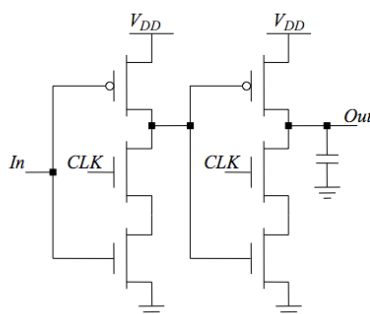
→ FF TSPC, cujo diagrama elétrico está apresentado abaixo.



Completar a descrição do sub-circuito

```
.subckt ff_tspc D Q NQ ck vcc
M3 n0 D vcc vcc pch_mac w=wp l=30n
M2 n0 ck X vcc pch_mac w=wp l=30n
...
.ends ff_tspc
```

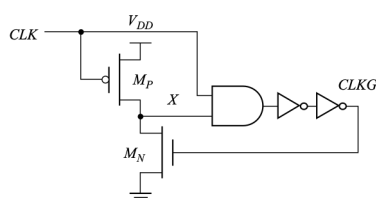
→ FF pulsado, cujo diagrama elétrico está apresentado abaixo (de fato o circuito apresentado na figura é uma latch TSPC).



Completar a descrição do sub-circuito

```
.subckt ff_pulse d q clkG vcc
...
.ends ff_pulse
```

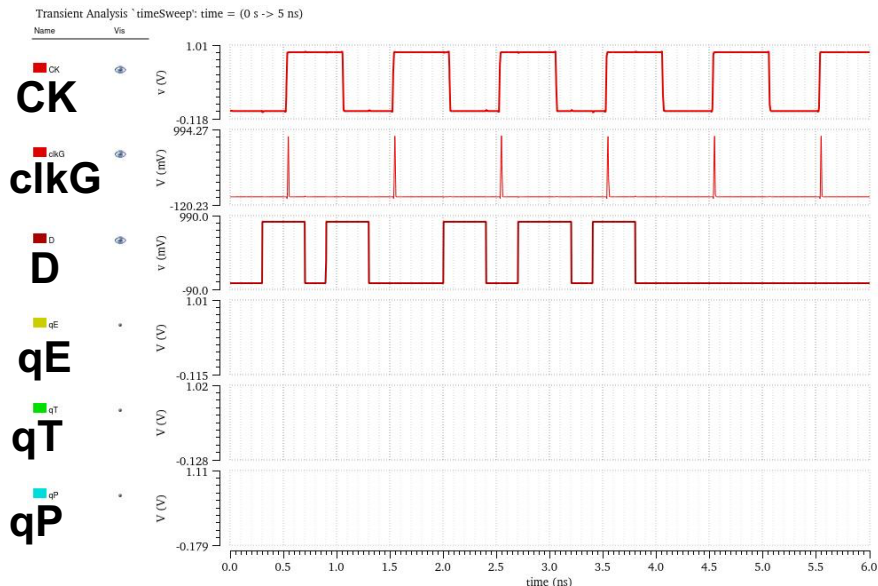
Gerador de pulso (fornecido) - transistor $M2$ com $L=50n$ para o gerador de pulso operar corretamente:



```
.subckt clkG CLK clkG vcc
M1 n0 CLK vcc vcc pch_mac w=wp l=30n
M2 n0 clkG 0 0 nch_mac w=wn l=50n
X1 CLK n0 n1 vcc nand2
X2 n1 clkG vcc inv
.ends clkG
```

Pede-se [5,5 pts]:

- 2.1. [1,5] Apresentar no relatório a descrição SPICE dos sub-circuitos **ff_static**, **ff_tspc**, **ff_pulse**.
- 2.2. [0,5] Qual o número de transistores para cada flip-flop (desconsiderando o gerador de pulsos para o **ff_pulse**)?
- 2.3. [2,0] Apresentar o diagrama de tempos para os sinais **CK**, **clkG**, **D**, **qE**, **qT**, **qP** para 6ns de simulação (**.tran .01N 6N**), como abaixo.

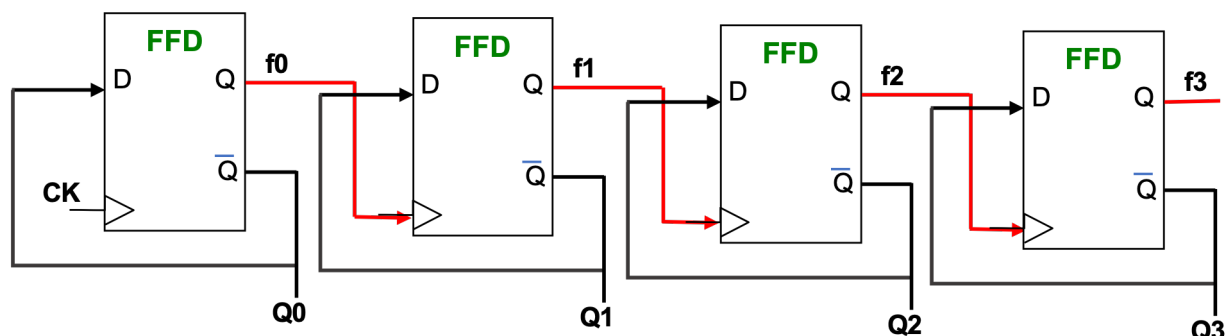


- 2.4. [0,5] Estes flip-flops são sensíveis a qual borda? Indicar no diagrama de tempos. Sugestão: inserir uma linha pontilhada nas bordas em que ocorre a transição.
- 2.5. [1,0] Preencher a tabela abaixo, destacando o flip-flop mais rápido (o tempo do flip-flop é o **pior** caso entre o tempo de propagação de subida e descida). Os tempos indicados na tabela são os labels do arquivo measure. O resultado é o esperado? Por quê?

	Tempo de descida (ps)	Tempo de subida (ps)
Flip-flop estático	t1_f_ffd	t1_r_ffd
Flip-flop TSPC	t2_f_tspc	t2_r_tspc
Flip-flop pulsado	t3_f_pulsado	t3_r_pulsado

3) [1,5 pt] CONTADOR DE 4 BITS

Utilizando o flip-flop D mestre-escravo **TSPC**, implemente um contador de 4 bits conforme o diagrama abaixo.



- Aumentar o tempo de simulação para 17ns: `.tran .01N 17N`
- Inserir 4 instanciações do ffd **TSPC**. Exemplo para o primeiro FF, com carga no sinal Q0:

```

** circuit 3 -counter *****
.ic v(f0)=0 v(f1)=0 v(f2)=0 v(f3)=0 v(Q0)=0.9 v(Q1)=0.9 v(Q2)=0.9 v(Q3)=0.9
Xc0 Q0 f0 Q0 CK vcc ff_tspc
Xc1 completar
Xc2 completar
Xc3 completar
C5 Q0 0 CL
C6 Q1 0 CL
C7 Q2 0 CL
C8 Q3 0 CL

```

Pede-se:

- 4.1 [0,5] Apresentar no relatório a descrição SPICE referente apenas ao trecho de código do contador.
- 4.2 [1,0] Plote os sinais **CK, Q0, Q1, Q2, Q3**. **Todos os 16** estados devem aparecer na janela de forma de ondas, um abaixo do outro. Considerando $f=1\text{GHz}$, teremos 2^4 estados, ou seja 16 ns para simular os 16 estados. Apresente a janela de simulação de **0 a 17 ns**. O contador está contando de forma crescente ou decrescente? Explicar.

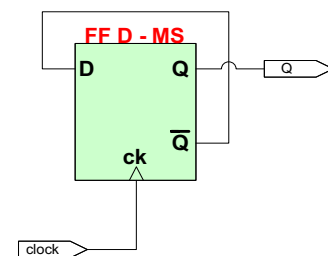
4) [1,5 pt] DIVISOR DE RELÓGIO

Insira uma instância do flip-flop D MS **estático**, realimentando o sinal **nq** com a entrada **D** (como no contador). O resultado é a divisão do sinal de relógio, gerando a metade da frequência.

```

** circuit 4 - clock divider *****
X6 nqD qD nqD CK nCK vcc ff_static
C61 qD 0 clms

```



Utilizar como capacitância de saída o valor **clms** assumindo os valores {**20fF, 80fF, 180fF**}. No final do arquivo (antes do comando `“.end”`) descomentar as linhas abaixo:

```

.param clms=20fF
.alter
.param clms=80fF
.alter
.param clms=180fF
.end

```

- [0,5] Apresente um diagrama de tempos contendo o **CK** e os 3 valores de qD **sobrepostos**. Voltar para **5ns**: `.tran .01N 5N`
- [0,3] Considerando o nível lógico ‘0’ entre 0 e 0.1V, e ‘1’ entre 0.8V e 0.9V, anote a excursão do sinal:

$$20\text{fF} = \{ \underline{\hspace{1cm}}, \underline{\hspace{1cm}} \}, 80\text{fF} = \{ \underline{\hspace{1cm}}, \underline{\hspace{1cm}} \}, \\ 180\text{fF} = \{ \underline{\hspace{1cm}}, \underline{\hspace{1cm}} \}$$

Discuta o que ocorreu, e se em algum caso o flip-flop deixa de operar corretamente.

- [0,7] Modifique o **ff_static** de forma que o FF opere corretamente para as cargas de 20fF a 180fF, se for necessário. Apresentar a modificação e rerepresentar as formas de onda.