



Pontifícia Universidade Católica do Rio Grande do Sul
Faculdade de Engenharia – Faculdade de Informática
Curso de Engenharia de Computação



**Desenvolvimento de Módulos de Hardware para
Extração e Inserção de Carga Útil
10 Gigabit Ethernet em Quadros OTN**

Volume Final do Trabalho de Conclusão

Autores

Frederico Ferlini
Jeferson Camargo de Oliveira

Orientador

Prof. Dr. Fernando Gehm Moraes

Porto Alegre, Dezembro de 2008.

Índice

ÍNDICE	II
ÍNDICE DE FIGURAS.....	III
ÍNDICE DE TABELAS	V
LISTA DE SIGLAS	VI
TERMOS E DEFINIÇÕES	VIII
CONVENÇÕES	X
1 INTRODUÇÃO	1
1.1 MOTIVAÇÃO	2
1.2 OBJETIVOS	2
1.3 RESULTADOS ESPERADOS	3
2 PADRÃO OTN - RECOMENDAÇÃO G.709.....	4
2.1 ESTRUTURA LÓGICA DO PADRÃO OTN G.709	5
2.2 QUADRO.....	5
2.3 MULTI-QUADRO	6
2.4 ESTRUTURA DO CABEÇALHO	7
2.5 FRAME ALIGNMENT OVERHEAD (FA OH)	8
2.6 OPTICAL CHANNEL TRANSPORT UNIT OVERHEAD (OTU OH).....	9
2.7 OPTICAL CHANNEL DATA UNIT OVERHEAD (ODU OH).....	12
2.8 OPTICAL CHANNEL PAYLOAD UNIT OVERHEAD (OPU OH)	14
2.9 CARGA ÚTIL	16
2.10 FORWARD ERROR CORRECTION – FEC	16
2.11 SCRAMBLING	16
2.12 MAPEAMENTOS	17
3 MAPEAMENTO 10GBE LAN PHY EM OPU1E	20
3.1 TAXAS DE TRANSMISSÃO	20
4 DESENVOLVIMENTO DA INTERFACE-CLIENTE	24
4.1 ARQUITETURA PROPOSTA	24
4.2 DIMENSIONAMENTO DAS FILAS ASSÍNCRONAS.....	26
4.3 MÓDULO EXTRATOR DE CARGA ÚTIL.....	33
4.4 MÓDULO GERADOR DE PULSOS DE REFERÊNCIA.....	40
4.5 MÓDULO INSEROR DE CARGA ÚTIL	43
4.6 MONTAGEM DO CABEÇALHO.....	49
5 AVALIAÇÃO DA INTERFACE-CLIENTE	52
5.1 VALIDAÇÃO DO EXTRATOR DE CARGA ÚTIL	52
5.2 VALIDAÇÃO DO INSEROR DE CARGA ÚTIL.....	56
6 CONCLUSÕES E TRABALHOS FUTUROS	63
7 REFERÊNCIAS	64

Índice de Figuras

Figura 1 – Previsão de servidores x86 em relação ao tipo de conexão Ethernet. Adaptado de [HAY01].	1
Figura 2 – Arquitetura do projeto X10GIGA. (1) Recepção de quadros OTN; (2) Extração de carga útil 10GbE; (3) Inserção de carga útil 10GbE; (4) Inserção de cabeçalhos.	3
Figura 3 – Sinais de origens (clientes) distintas sendo transportados sobre OTN. Adaptado de [ALE01].	4
Figura 4 – Estrutura lógica do padrão OTN. Adaptado de [ITU01].	5
Figura 5 – Estrutura do quadro OTN. Adaptado de [KOC01].	6
Figura 6 – Seqüência de transmissão dos bytes do quadro OTN.	6
Figura 7 – Estrutura do multi-quadro OTN. Adaptado de [ITU01].	6
Figura 8 – Seqüência de transmissão do multi-quadro OTN.	7
Figura 9 – Estrutura dos cabeçalhos do multi-quadro OTN. Adaptado de [ITU01].	7
Figura 10 – Terminações das estruturas OTU, ODU e OPU. Adaptado de [NAK01].	8
Figura 11 – Estrutura do campo FAS. Adaptado de [ITU01].	8
Figura 12 – Estrutura do campo MFAS. Adaptado de [ITU01].	9
Figura 13 – Estrutura do campo SM. Adaptado de [ITU01].	10
Figura 14 – Estrutura do campo TTI, adaptado de [ITU01].	10
Figura 15 – Ilustração da geração do BIP-8. Adaptado de [ITU01].	11
Figura 16 – Estrutura do campo PM e do campo TCM. Adaptado de [ITU01].	13
Figura 17 – Estrutura do campo FTFL. Adaptado de [ITU01].	14
Figura 18 – Estrutura do OPU OH. Adaptado de [ITU01].	15
Figura 19 – Processo de scrambling. Adaptado de [ITU01].	16
Figura 20 – Estrutura do mapeamento de um sinal CBR2G5 em OPU ₁ . Adaptado de [ITU01].	17
Figura 21 – Estrutura do mapeamento de um sinal CBR10G em OPU ₂ . Adaptado de [ITU01].	18
Figura 22 – Estrutura do mapeamento de um sinal CBR40G em OPU ₃ . Adaptado de [ITU01].	18
Figura 23 – Multiplexação do OTU e estruturas de mapeamento. Adaptado de [ITU01].	19
Figura 24 – Estrutura de mapeamento sem bytes de preenchimento. Adaptado de [ITU03].	21
Figura 26 – Comportamento da FIFO Assíncrona. (1) Início da escrita; (2) Início da leitura; (3) Ocupação máxima, fim da carga útil de um quadro; (4) Ocupação mínima, fim do cabeçalho de um quadro.	28
Figura 27 – Filas assíncronas, operando nas frequências nominais.	28
Figura 28 – Arquitetura da FIFO Assíncrona, utilizando o componente FIFO18_36 da família de FPGAs Virtex-5 da Xilinx.	29
Figura 29 – Gráfico do delta de ocupação da FIFO assíncrona em caso de frequências nominais.	30
Figura 30 – Gráfico do delta de ocupação da FIFO assíncrona no pior caso onde acontece o enchimento da fila, ou seja, escrita com frequência da linha OTN +20ppm e leitura com frequência do cliente 10GbE -100ppm.	30
Figura 31 – Gráfico do delta de ocupação da FIFO assíncrona no pior caso onde acontece o esvaziamento da fila, ou seja, escrita com frequência da linha OTN -20ppm e leitura com frequência do cliente 10GbE +100ppm.	31
Figura 32 – Geração do sinal que indica o início de quadros válidos ao Extrator de Carga Útil.	33
Figura 33 – Deslocador multi-estágio.	34
Figura 34 – Extração de carga útil. Caso: contador de justificativas zerado e/ou justificativa não é necessária.	35
Figura 35 – Extração de carga útil. Caso: primeira justificativa negativa.	35
Figura 36 – Extração de carga útil. Caso: segunda justificativa negativa.	36
Figura 37 – Extração de carga útil. Caso: primeira justificativa positiva.	37
Figura 38 – Extração de carga útil. Caso: segunda justificativa positiva.	38
Figura 39 – Extrator de Carga Útil 10GbE de quadros OTN. (1) Módulo de Votação de <i>Justification Control</i> (JC); (2) Módulo que faz o controle de justificativa; (3) Módulo de deslocamento;	

(4) Registrador de entrada do circuito; (5) Concatenação do sinal <i>resto</i> , devido a justificativas; (6) Concatenação do sinal <i>atual</i> , devido a justificativas; (7) Controle para atraso do sinal de saída do Deslocador, devido a justificativas; (8) Fila Assíncrona; (9) Gerador de pulsos de referência para controle de variação na taxa do cliente 10GbE.	39
Figura 40 – Ilustração da recuperação de relógio.	40
Figura 41 – Circuito para recuperação do relógio com valores para o mapeamento de um cliente STM-64 [TER02].	40
Figura 42 – Diagrama de blocos de um PLL [TER02].	41
Figura 43 – Pseudocódigo explicativo do bloco gerador de pulso de referência.	43
Figura 44 – Ilustração do funcionamento da geração do pulso de referência.	43
Figura 46 – Diagrama de tempo com o comportamento do IDDR da Figura 45(a).	44
Figura 47 – Diagrama de blocos da interface com o cliente [TER01].	44
Figura 48 – Divisão do quadro OTN em áreas de palavras de 64 bits.	45
Figura 49 – Diagrama de tempo da transmissão do quadro OTN.	45
Figura 50 – Intervalo de ocupação da fila.	46
Figura 51 – Ilustração da inserção do voto de justificativa negativa.	46
Figura 52 – Ilustração da inserção do voto de justificativa positiva.	47
Figura 53 – Ilustração da inserção de justificativa negativa.	47
Figura 54 – Inserção de justificativa negativa.	47
Figura 56 – Inserção de justificativa positiva.	48
Figura 57 – Comportamento após sete deslocamentos.	48
Figura 58 – Estrutura do módulo insersor de carga útil.	49
Figura 59 – Montagem do cabeçalho do primeiro quadro.	50
Figura 60 – Montagem do cabeçalho do segundo quadro.	50
Figura 61 – Montagem do cabeçalho do terceiro quadro.	50
Figura 62 – Montagem do cabeçalho do quarto quadro.	51
Figura 63 – Estrutura de validação do Extrator de Carga Útil.	52
Figura 64 – Comparação dos arquivos de validação da extração de carga útil, sem justificativa.	53
Figura 65 – Simulação de todos os casos de justificativa. (1) verificação dos campos JC e o resultado do voto majoritário entre eles; (2) variação do contador de justificativas de acordo com o resultado da votação a cada multi-quadro; (3) controle do sinal <i>enable_resto</i> para permitir o controle de fluxo dos dados de carga útil; (4) sinal <i>deslocamento</i> de acordo com o número de justificativas até o momento, de acordo com a Tabela 18; (5) controle do sinal <i>write_enable</i> , para controle do fluxo dos dados a serem escritos na fila; (6) ativação do sinal <i>read_enable</i> após a ocupação da fila atingir o threshold de liberação de leitura; (7) marcadores de indicação de cada justificativa negativa; (8) marcadores de indicação de cada justificativa positiva.	54
Figura 66 – Comportamento da fila assíncrona de extração de carga útil. Caso: frequência da linha OTN nominal e sem ocorrência de justificativa de carga útil.	55
Figura 67 – Comportamento da fila assíncrona de extração de carga útil. Caso: frequência da linha OTN +20ppm, com ocorrência de justificativa negativa (NJO) na carga útil.	55
Figura 68 – Comportamento da fila assíncrona de extração de carga útil. Caso: frequência da linha OTN -20ppm, com ocorrência de justificativa positiva (PJO) na carga útil.	56
Figura 69 – Estrutura de simulação do Insersor de Carga Útil.	57
Figura 70 – Ocupação da fila quando o sinal do cliente não apresenta <i>jitter</i>	57
Figura 71 – Ocupação da fila quando o sinal do cliente apresenta <i>jitter</i> de -45ppm, com inserção de justificativa positiva.	58
Figura 72 – Ocupação da fila quando o sinal do cliente apresenta <i>jitter</i> de +45ppm, com a inserção de justificativa negativa.	58
Figura 73 – Ocupação da fila quando o sinal do cliente apresenta <i>jitter</i> de -45ppm, sem inserção de justificativa.	59

Figura 74 – Verificação do resultado da geração de justificativa negativa do Inersor de Carga Útil.	60
Figura 75 – Verificação do resultado da geração de justificativa positiva do Inersor de Carga Útil.	61
Figura 76 – Estrutura para validação do deslocamento gerado pelo Inersor de Carga Útil.	61

Índice de Tabelas

Tabela 1 – Interpretação do campo BEI/BIAE. Adaptado de [ITU01].	12
Tabela 2 – Interpretação do campo STAT. Adaptado de [ITU01].	13
Tabela 3 – Interpretação do campo Fault Type Indication do FTFL. Adaptado de [ITU01].	14
Tabela 4 – Interpretação do campo PT. Adaptado de [ITU01].	15
Tabela 5 – Correlação entre os mapeamentos CBR, interfaces SONET/SDH e as respectivas taxas de transmissão.	17
Tabela 6 – Mapeamentos a serem implementados de acordo com a sua prioridade dentro do projeto.	20
Tabela 7 – Relação entre as taxas de transmissão de acordo com a sobrecarga referente às estruturas lógicas do quadro OTN.	21
Tabela 8 – Definição de variáveis. Apêndice I [ITU01].	22
Tabela 9 – Valores utilizados para encontrar α .	23
Tabela 11 – Dados de tempo e frequência para mapeamento de 10GbE LAN PHY em OTN.	26
Tabela 12 – Tempos do quadro OTN para mapeamento 10GbE LAN PHY quando ambos, cliente e linha, estão operando à frequência nominal.	27
Tabela 13 – Períodos com jitter para palavra de 64 bits (fs).	27
Tabela 14 – Dados não escritos/lidos na/da fila (Cabeçalho + FEC). Utilizando frequência nominal.	28
Tabela 15 – Dados para Simulação de Comportamento da FIFO.	31
Tabela 16 – Comportamento da FIFO Assíncrona.	32
Tabela 17 – Interpretação do campo <i>Justification Control</i> (JC). Adaptado de [ITU1].	33
Tabela 18 – Interpretação do sinal <i>deslocamento</i> do módulo Deslocador.	34
Tabela 19 – Comportamento da Frequência do Pulso de Referência.	42
Tabela 20 – Utilização do FPGA pelo módulo Extrator de Carga Útil.	56
Tabela 21 – Número de justificativas em um intervalo de 256 multi-quadros.	59
Tabela 22 – Utilização do FPGA pelo módulo Inserir de Carga Útil.	62

Lista de Siglas

API	–	Access Point Identifier
APS	–	Automatic Protection Switching Coordination
ATM	–	Asynchronous Transfer Mode
BDI	–	Backward Defect Indication
BEI	–	Backward Error Indication
BER	–	Bit Error Rate
BIAE	–	Backward Incoming Alignment Error
BIP-8	–	Bit Interleaved Parity – Level 8
CBR	–	Constant Bit Rate
DAPI	–	Destination Access Point Identifier
DW	–	Digital Wrapper
DWDM	–	Dense Wavelength Division Multiplexing
EXP	–	Experimental
FA OH	–	Frame Alignment Overhead
FAS	–	Frame Alignment Signal
FEC	–	Forward Error Correction
FS	–	Fixed Stuff
FTFL	–	Fault Type & Fault Location Reporting Channel
GCC	–	General Communication Channel
GbE	–	Gigabit Ethernet
GFP	–	Generic Framing Procedure
IAE	–	Incoming Alignment Error
IP	–	Internet Protocol
ITU	–	International Telecommunication Union
ITU-T	–	International Telecommunication Union – Telecommunication
JC	–	Justification Control
LAN	–	Local Area Network
MFAS	–	Multiframe Alignment Signal
NJO	–	Negative Justification Opportunity
OA	–	Optical Alignment
ODU	–	Optical Channel Data Unit
ODU OH	–	Optical Channel Data Unit Overhead
ODTU	–	Optical Channel Data Tributary Unit
ODTUG	–	Optical Channel Data Tributary Unit Group
OPS	–	Optical Packet Switched
OPU	–	Optical Channel Payload Unit
OPU OH	–	Optical Channel Payload Unit Overhead
OTN	–	Optical Transport Network
OTU	–	Optical Channel Transport Unit
OUT OH	–	Optical Channel Transport Unit Overhead
PCC	–	Protection Communication Channel Control
PHY	–	Physical Layer
PJO	–	Positive Justification Opportunity
PM	–	Path Monitoring
PSI	–	Payload Structure Identifier
PT	–	Payload Type
RES	–	Reserved for future international standardization
RS	–	Reed-Solomon
SAPI	–	Source Access Point Identifier
SDH	–	Synchronous Digital Hierarchy

SM	–	Section Monitoring
SONET	–	Synchronous Optical Network
STAT	–	Status
TCM	–	Tandem Connection Monitoring
TCM ACT	–	TCM Activation/Deactivation Control Channel
TDM	–	Time Division Multiplexing
TTI	–	Trail Trace Identifier
WAN	–	Wide Area Network
WDM	–	Wavelength Division Multiplexing

Termos e Definições

- 10GBase-T** – Padrão Ethernet 10 Gigabit, baseada em cabos de cobre de par trançado, normatizado pela IEEE na especificação 802.3an [RED01].
- 802.3ae** – Especificação da IEEE para 10 Gb Ethernet (10GbE) [HOR01].
- Amplificador** – Dispositivo que dá ganho, ou amplifica, um sinal de forma que o sinal de saída seja mais forte que o sinal de entrada [HOR01].
- Assíncrono** – Sinais ou eventos que ocorrem sem relação de tempo, podendo acontecer em qualquer instante, ou por intervalos aleatórios [HOR01].
- Cabeçalho** – Informações que não fazem parte dos dados cliente, mas que são guardadas ou transmitidas juntas, para manter sua integridade [HOR01].
- Carga Útil** – Dados do cliente que atravessam uma rede, desconsiderando informações de cabeçalho ou de controle [HOR01].
- Célula** – Equivale-se a pacotes muito pequenos, com pouco cabeçalho. Esse conceito é utilizado principalmente nas redes ATM [HOR01].
- Clock** – Pulso periódico utilizado para sincronização de fluxo de dados em um computador, ou entre computadores [HOR01].
- Enlace** – Segmento de comunicação entre dois pontos na rede [HOR01].
- Ethernet** – Inicialmente era uma tecnologia de comunicação que permitiu a implementação de redes locais (LAN). Atualmente, atualizada e normatizada pelo grupo IEEE com seu projeto 802 que tem o objetivo de padronizar as redes do tipo LAN [HOR01].
- Fibra Óptica** – Fino filamento de plástico ou de vidro transparente especialmente construída para servir como um dielétrico condutor [HOR01].
- Jitter** – Fenômeno caracterizado pelo desvio no tempo ou na fase de um sinal de transmissão de pacotes de dados. Pode ser responsável por erros e perda de sincronismo em comunicações síncronas em altas velocidades, por exemplo, em telefonia IP. A variação no tempo de chegada de pacotes prejudica a qualidade da conversação - se um pacote não chega a tempo de se encaixar em seu lugar no fluxo de dados, repete-se o pacote anterior. Pode ser corrigido com a adoção de uma memória adicional (*jitter buffer*) [INF01].
- LAN** – Local Area Network ou rede local. Estrutura que conecta vários computadores e outros dispositivos numa área definida. A capacidade de comunicação entre os aparelhos é limitada ao alcance dos cabos de rede, ou da antena, no caso de redes sem fio. Normalmente, a área geográfica de uma LAN restringe-se a uma sala, um departamento, um andar ou um prédio. Para viabilizar um bom desempenho, a LAN deve ser conectada ao backbone da rede por meio de aparelhos como bridges, hubs ou switches [INF01].
- Latência** – Atraso. Tempo total que o sinal leva para ir de um ponto a outro.
- Mapeamento** – Associação lógica dos dados de uma rede para ser transmitido por outra [VER01].
- Multiplexação** – Compartilhamento de um único canal de alta capacidade por outros com capacidades, relativamente, menores.
- Operadora** – Empresa que possui a concessão para oferecer um serviço público de comunicação de voz ou dados. É adotado como referência para as empresas de telefonia fixa, celular, de longa distância ou transmissão de dados [INF01].
- Pacote** – Grupo ordenado de sinais de dados e controle, transmitido pela rede, como um subconjunto de uma mensagem maior. Em TV por assinatura, define a relação de canais que o assinante escolhe pagar para receber o sinal [INF01].
- Paridade** – Garante a validade da informação em comunicação de dados.
- Protocolo** – Conjunto formal de convenções que regulam o formato e o sincronismo da troca de mensagens entre dois sistemas de comunicações. Em outras palavras, pode ser definido

como o idioma falado na conversa entre dois dispositivos durante o estabelecimento de uma comunicação [INF01].

Quadro – Agrupamento lógico da informação, para enviar pelo meio de telecomunicação. Os termos, pacote, segmento, mensagem, entre outros, também são utilizados para definir o agrupamento lógico de informação [VER01].

Regenerador – Dispositivo que regenera os sinais para que eles possam trafegar em segmentos adicionais de cabo para aumentar o alcance ou para acomodar outros dispositivos ao segmento.

Roteador – Equipamento que funciona, normalmente, como o principal componente de uma rede corporativa ou de um backbone de internet. O roteador recebe e encaminha pacotes de dados em altíssima velocidade, escolhendo o melhor caminho para realizar a transmissão. A operação, chamada de roteamento, é realizada entre redes locais (LANs) e redes de longa distância (WANs), ou entre duas WANs. Em inglês, é denominado router [INF01].

Síncrono – Forma de comunicação onde são enviados bits em fluxo de dados contínuo, do início ao fim da conexão, sendo que bits são inseridos e retirados para o sincronismo entre as pontas [VER01].

Sobrecarga – Informação adicional transmitida junto ao pacote/quadro.

Switch – Aparelho dotado de múltiplas portas para a conexão de dispositivos ligados a uma rede. Realiza a operação de comutação (switching), ou seja, recebe dados de uma estação ou do roteador conectado ao mundo externo (WAN) e os envia para as estações locais (LANs), conforme o endereço do destinatário. A taxa de transmissão é personalizada para cada usuário, até a capacidade total da banda do switch. O dispositivo é usado para conectar LANs entre si ou segmentar LANs, atuando normalmente na camada 3 (rede) da arquitetura OSI [INF01].

Supervisão – Sinal transportado com comprimento de onda diferente do utilizado para o tráfego, serve para controlar e monitorar o desempenho dos amplificadores [PIR01].

Telemática – Indústria relacionada com o uso de computadores, no contexto de sistemas de telecomunicações. Inclui serviços de ligação à Internet, como também a uma série de redes que dependem de sistemas de telecomunicações para transportar dados [BIB01].

Transponder – A contração das palavras transmitter/responder refere-se aos equipamentos para recepção e transmissão numa comunicação por satélite. Em linhas gerais, ele recebe um sinal da terra (uplink), amplifica esse sinal e o retransmite à terra numa frequência diferente [INF01].

Tributários – Espaços alocados dentro da carga útil de um quadro para que vários clientes insiram seus sinais de forma concorrente.

Convenções

- Para a representação de números em binário (base 2) no corpo do texto será usada a notação “#####...#” onde $\# \in \{0,1\}$.
- Para a representação de números em hexadecimal (base 16) no corpo do texto será usada a notação x“#####...#” onde $\# \in \{0,1,2,3,4,5,6,7,8,9,A,B,C,D,E,F\}$.
- **k**: O índice "k" é utilizado para indicar a taxa de transmissão e as diferentes versões de OPU_k, ODU_k e OTU_k. k = 1 representa uma taxa de transmissão aproximada de 2,5 Gbits/s, k = 2 indica uma taxa de transmissão aproximada de 10 Gbits/s, e k = 3 representa uma taxa de transmissão aproximada de 40 Gbits/s.
- **Optical Channel Transport Unit (OTU_k)**: O OTU_k é a estrutura lógica utilizada para transporte de um ODU_k sobre uma ou mais conexões de canais ópticos. É composto pelo ODU e cabeçalho específico do OTU_k (FEC e cabeçalho para gerência de conexão de um canal óptico). É caracterizado pela estrutura de seu quadro, taxa de transmissão e largura de banda. São definidas capacidade do OTU_k para k = 1, k = 2 e k = 3.
- **Optical Channel Data Unit (ODU_k)**: O ODU_k é a estrutura lógica que contém a informação relacionada a carga útil (OPU_k) e cabeçalho específico do ODU_k. São definidas capacidades do ODU_k para k = 1, k = 2 e k = 3.
- **Optical Channel Payload Unit (OPU_k)**: O OPU_k é a estrutura lógica utilizada para adaptar a informação do cliente para transporte sobre um canal óptico. Compreende a informação do cliente juntamente com qualquer cabeçalho necessário para realizar adaptação entre a taxa de transmissão do sinal do cliente e a taxa de transmissão da carga útil do OPU_k e cabeçalho específico do OPU_k utilizado para dar suporte ao transporte do sinal do cliente. Esse cabeçalho é exclusivamente utilizado para adaptação. São definidas capacidades do OPU_k para k = 1, k = 2 e k = 3.

1 Introdução

A popularização do uso da rede mundial de computadores e a disponibilidade diversificada de serviços, que exigem alta largura de banda, fazem com que a área de telecomunicações avance constantemente, para atender o rápido crescimento da demanda por informação. Além disso, aplicações sobre vídeo e voz, por exemplo, possuem restrições que devem ser respeitadas para atenderem seus propósitos. Somado a tudo isso, o valor da informação faz com que as empresas de telecomunicação se empenhem no desenvolvimento de novas tecnologias que atendam as necessidades globais.

Para acomodar o notável crescimento do tráfego de dados, interfaces 10 Gbps se fazem necessárias. Como consequência disso, o IEEE (*Institute of Electrical and Electronics Engineers*) fundou o grupo de estudos 802.3ae para desenvolver o padrão 10 Gigabit Ethernet (cuja análise funcional está fora do escopo deste trabalho). O 10 Gigabit Ethernet é a evolução da tecnologia Ethernet para a taxa de transmissão de 10 Gbps. Com o desenvolvimento do Gigabit Ethernet (GbE) há alguns anos atrás, se disponibilizou interfaces de baixo custo com taxa de transmissão de 1 Gbps. Comparado com interfaces de alto custo como o *Asynchronous Transfer Mode* (ATM) e Packet over SONET/SDH (POS), o Gigabit Ethernet forneceu uma solução, com uma melhor relação custo *versus* benefício, para a construção de conexões Gigabit ponto-a-ponto [TOM01].

Segundo previsão, apresentada na Figura 1, baseada em informações das empresas Intel e Broadcom, existe uma janela de transição da maciça utilização da tecnologia GbE para a tecnologia 10GbE, em servidores x86, de aproximadamente 10 anos. Portanto, é possível afirmar que a partir de 2012 a tecnologia 10GbE será predominantemente utilizada como conexão Ethernet, no mercado de servidores x86. Porém as janelas de transições de 10GbE para 40GbE e de 40GbE para 100GbE têm previsão de apenas 5 anos, entre cada uma. Esse dado serve para justificar a importância da tecnologia. E, a partir das previsões apresentadas, pode-se fazer uma análise de *time to market*.

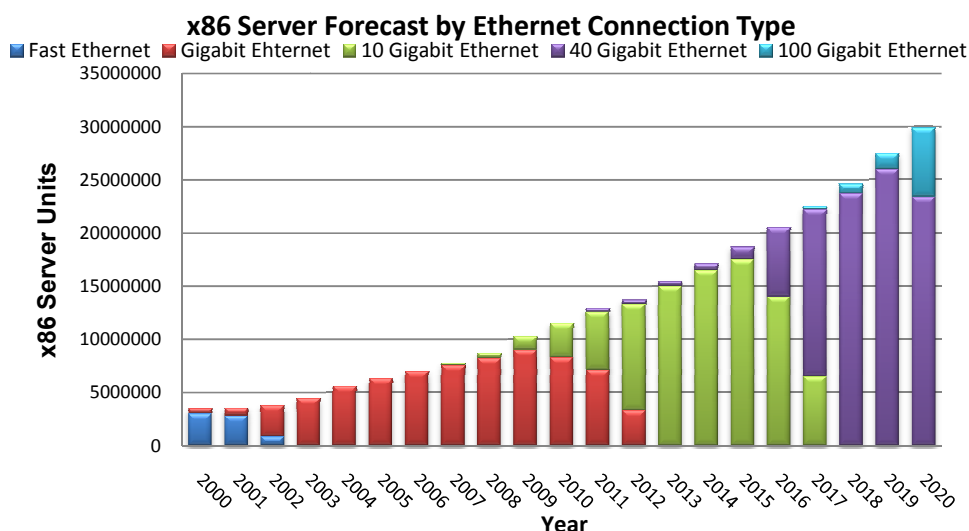


Figura 1 – Previsão de servidores x86 em relação ao tipo de conexão Ethernet. Adaptado de [HAY01].

O uso de *fibras ópticas* na construção de redes de telecomunicação tem se intensificado, a mais de 10 anos, por permitir *protocolos* mais rápidos e conexões mais longas, devido a transmissões com taxas muito elevadas (aproximadamente 50 Tbps) [GUE01] com menor perda de potência do sinal e por ser menos susceptível a vários tipos de interferência. Outra vantagem é a capacidade de *multiplexação* do comprimento de onda, que permite a transmissão de vários sinais ópticos numa única fibra. DWDM (*Dense Wavelength Division Multiplexing*) é a técnica que permite a multiplexação e acrescenta flexibilidade e *escalabilidade* às vantagens do emprego da fibra óptica na telecomunicação.

A recomendação G.709 – *Interfaces for the Optical Transport Network* (OTN), criada pela ITU-T (International Telecommunications Union – Telecommunication), surge no intuito de definir um padrão que possa aproveitar melhor a tecnologia de fibra óptica, sem a necessidade de descartar os padrões e tecnologias já existentes. A sua principal justificativa é a presença de uma técnica de correção de erros superior a de seus antecessores, os padrões SONET e SDH, permitindo assim *enlaces* mais longos.

Atualmente, a maioria das redes ópticas são multiplexadas no tempo (TDM - *Time Division Multiplexing*), onde cada cliente insere o seu sinal no canal em sua respectiva janela de tempo, denominada tributário [FIL01]. Um exemplo disso seria *roteadores* IP, interconectados a um *switch* ATM, que multiplexa os canais no tempo para transmissão numa rede óptica SONET/SDH. A utilização de vários protocolos gera um acúmulo de sobrecarga, como *cabeçalhos*, na transmissão dos dados. Isso trouxe os esforços da indústria para o desenvolvimento de redes ópticas transparentes a protocolos. Essas redes, denominadas OPS (*Optical Packet Switched*) [GUE01], precisam também suportar *Ethernet*, o que não acontecia com SONET/SDH. A solução para esses problemas são parte do propósito do OTN.

1.1 Motivação

A importância da telecomunicação no mundo e suas necessidades traduzem o interesse e o esforço voltado para esse campo. O desenvolvimento de uma tecnologia nacional para suprir a necessidade de canais de comunicação de alta velocidade em enlaces de fibra óptica de longa distância, já é suficiente para motivar esse trabalho. Junto a isso, a parceria entre a TERACOM Telemática Ltda., empresa brasileira de telecomunicações, e o Grupo de Apoio ao Projeto de Hardware (GAPH), da Faculdade de Informática (FACIN) da Pontifícia Universidade Católica do Rio Grande do Sul (PUCRS), entram com o interesse do desenvolvimento do projeto X10GIGA. Esse co-financiado pela Financiadora de Estudos e Projetos (FINEP), TERACOM e PUCRS.

1.2 Objetivos

O objetivo do presente trabalho é desenvolver módulos em *hardware* para extração e inserção de carga útil, inicialmente do tipo 10GbE (*10 Gigabit Ethernet*), em quadros do tipo OTN. Esses módulos serão inseridos no projeto X10GIGA e funcionarão em conjunto com os módulos já desenvolvidos para o transponder OTN.

Esse trabalho envolve o estudo de normas relacionadas ao padrão OTN, em especial a norma ITU-T G.709, para a realização do projeto dos módulos para extração e inserção de carga útil e implementação de uma arquitetura de teste para a verificação lógica antes e após a prototipação.

1.3 Resultados Esperados

Ao final desse trabalho de conclusão de curso é esperado que os módulos de *hardware* desenvolvidos sejam capazes de:

- Receber *quadros* OTN alinhados, desembaralhados e sem erros para fazer a análise do cabeçalho com o objetivo de executar o controle de justificativa do mesmo, item (1) da Figura 2;
- Extrair a carga útil de quadros OTN e transmitir para clientes 10GbE, respeitando os requisitos de velocidade de transmissão, assim como, o controle das variações possíveis das taxas de transmissão e recebimento, item (2) da Figura 2;
- Receber *pacotes* 10GbE do *cliente* e inserir como carga útil em quadros OTN, respeitando os requisitos de velocidade de transmissão, assim como, o controle das variações possíveis das taxas de transmissão e recebimento, executando justificativas no tamanho da carga útil sempre que necessário, item (3) da Figura 2;
- Inserir cabeçalhos no quadro OTN para transmissão a outro nodo OTN, item (4) da Figura 2.

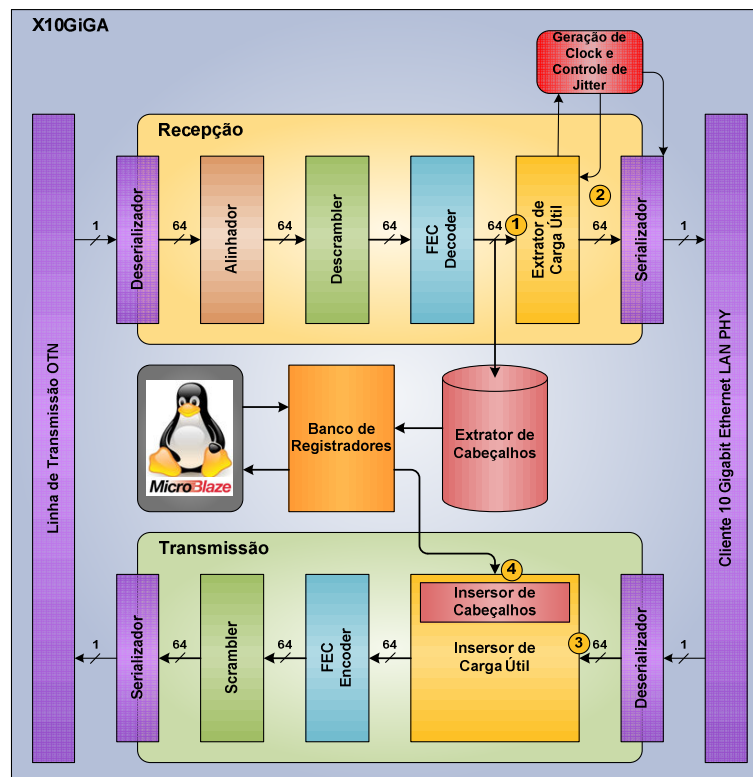


Figura 2 – Arquitetura do projeto X10GiGA. (1) Recepção de quadros OTN; (2) Extração de carga útil 10GbE; (3) Inserção de carga útil 10GbE; (4) Inserção de cabeçalhos.

2 Padrão OTN - Recomendação G.709

A ITU-T é um setor da *International Telecommunication Union* (ITU) responsável por analisar as necessidades e organizar grupos para o estudo e a criação de recomendações para a área de telecomunicações. O padrão OTN é descrito na recomendação G.709, *Interfaces for the Optical Transport Network*, da ITU-T. Essa define *Optical Transport Network* (OTN) como um conjunto de elementos de redes ópticas (*Optical Network Elements*) conectados por enlaces de fibra óptica, capazes de prover funcionalidades de transporte, *multiplexação*, roteamento, gerenciamento e supervisão de canais ópticos transportando sinais de clientes que podem ser de origens distintas, como mostra a Figura 3.

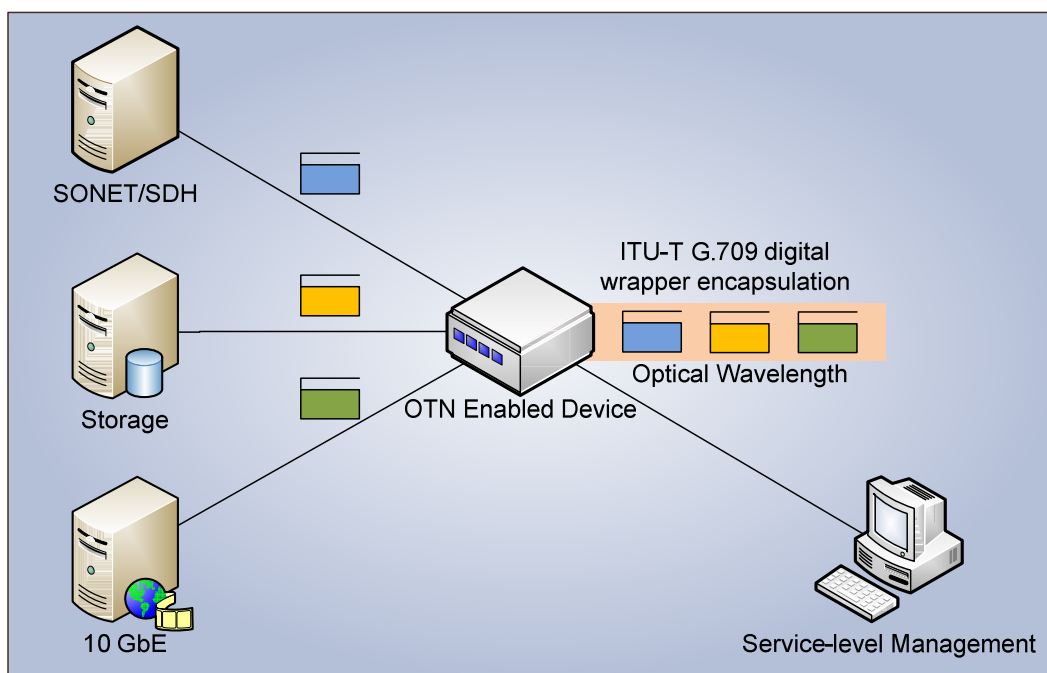


Figura 3 – Sinais de origens (clientes) distintas sendo transportados sobre OTN. Adaptado de [ALE01].

Redes ópticas, multiplexadas no tempo (TDM), com enlaces pequenos, são bastante viáveis, porém quando falamos de longos canais ópticos, surge a necessidade de adicionar *amplificadores* e *regeneradores*, o que encarece a rede. O padrão OTN, por ser multiplexado em comprimento de onda (WDM), precisa somente de um regenerador para vários canais, diminuindo o custo da rede. Porém, a característica mais importante do padrão OTN é a presença da técnica de correção de erros baseada no algoritmo de Reed-Solomon(255, 239) que consegue corrigir até 128 bytes em rajada por quadro, permitindo enlaces mais longos.

Existem outras importantes propriedades das redes OTN. Uma delas é a transparência de protocolo, ou seja, o padrão OTN encapsula os dados do cliente na sua carga útil mantendo as suas características originais enquanto estes são transmitidos em enlaces ópticos. Por esta razão o padrão OTN pode ser entendido como uma embalagem digital (DW – Digital Wrapper) [YOU01], que permite a reutilização de grande parte dos padrões já existentes, sem a necessidade de pilhas dentro

de pilhas de protocolos, conseqüentemente diminuindo a *sobrecarga* transmitida. Além disso, é o único padrão capaz de transportar 10GbE LAN PHY inteiramente [CIE01]. Outra qualidade do padrão OTN é a escalabilidade, resultante da sua tecnologia de multiplexação que possibilita transportar dados de vários clientes ao mesmo tempo, como apresentado na Figura 3.

2.1 Estrutura Lógica do Padrão OTN G.709

O quadro OTN é composto por três macro-blocos: cabeçalho, carga útil e FEC (*Forward Error Correction*). Esse quadro possui a estrutura lógica apresentada na Figura 4 onde o sinal do cliente é encapsulado na estrutura *Optical Channel Payload Unit* (OPU) para transporte em enlace óptico. O OPU une a informação do cliente com os cabeçalhos necessários para execução de ajuste entre a taxa de transmissão do sinal do cliente e a taxa de transmissão da carga útil do OPU, juntamente com qualquer outra informação relacionada ao *mapeamento* do sinal do cliente. Por sua vez, o OPU, é encapsulado em uma estrutura denominada *Optical Channel Data Unit* (ODU) que possui, além da informação do OPU, campos de cabeçalho referentes à camada de dados. O ODU possibilita a monitoração da transmissão do OPU fim a fim na rede. Ao ODU são adicionados bytes de FEC e o sinal que permite o alinhamento do quadro (utilizado para indicar o início da estrutura) [TRO01], assim como informação necessária para o transporte do ODU em um canal óptico, esta estrutura é denominada *Optical Channel Transport Unit* (OTU).

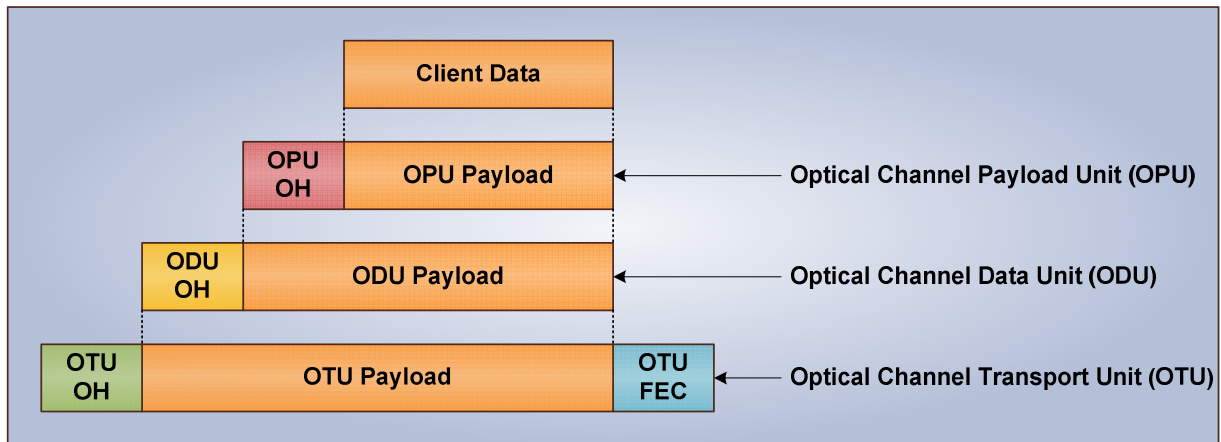


Figura 4 – Estrutura lógica do padrão OTN. Adaptado de [ITU01].

2.2 Quadro

O quadro OTN é composto, segundo a organização proposta em [KOC01], por 16 linhas de 255 bytes, totalizando 4080 bytes, e é dividido em três macro-blocos: cabeçalho (*overhead*) com 16 bytes (uma coluna), carga útil (*payload*) com 3808 bytes (238 colunas) e FEC com 256 bytes (16 colunas), como visto na Figura 5. O quadro é transmitido coluna a coluna, como apresenta a Figura 6.

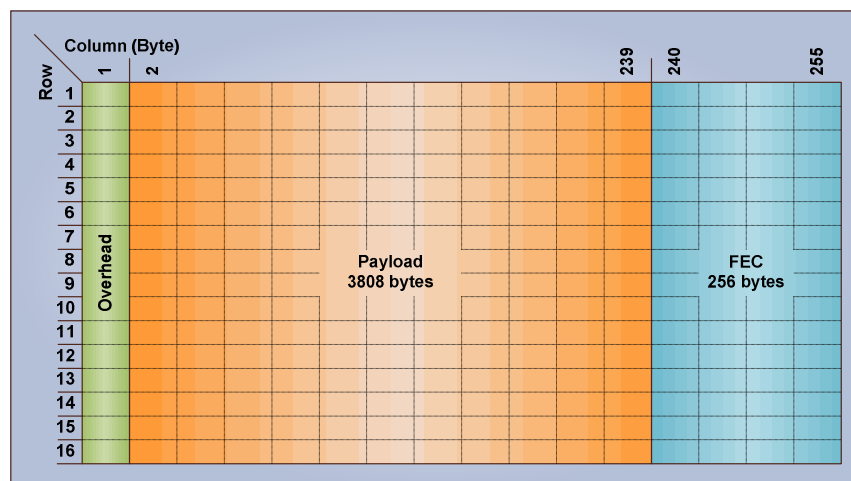


Figura 5 – Estrutura do quadro OTN. Adaptado de [KOC01].

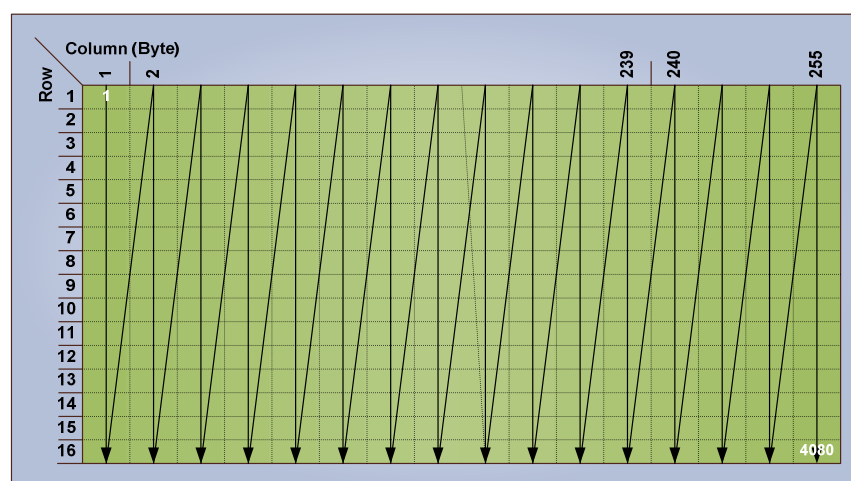


Figura 6 – Sequência de transmissão dos bytes do quadro OTN.

2.3 Multi-Quadro

A recomendação G.709 [ITU01] define que o multi-quadro (*multiframe*) OTN, Figura 7, consiste em quatro linhas de 4080 bytes, ou seja, quatro quadros totalizando 16320 bytes. Ao respeitar a sequência de transmissão dos bytes linha a linha, como apresenta a Figura 8, tem-se a mesma organização apresentada no quadro da Figura 5, com cabeçalho, carga útil e FEC a cada linha do multi-quadro OTN.

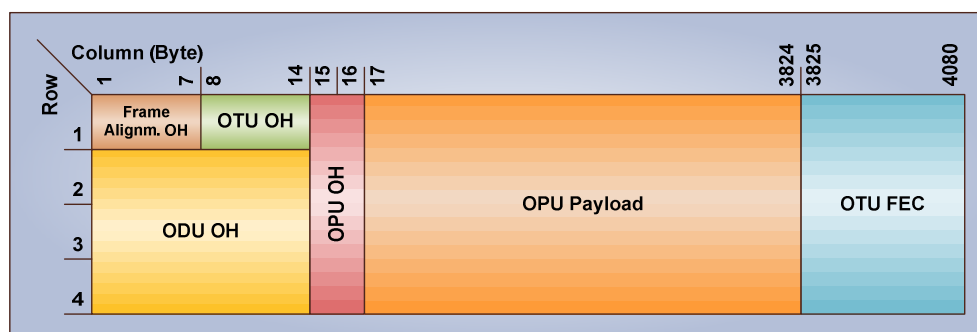


Figura 7 – Estrutura do multi-quadro OTN. Adaptado de [ITU01].

A partir da organização proposta de um multi-quadro pode-se visualizar a estrutura lógica do padrão OTN G.709 apresentada na seção 2.2.

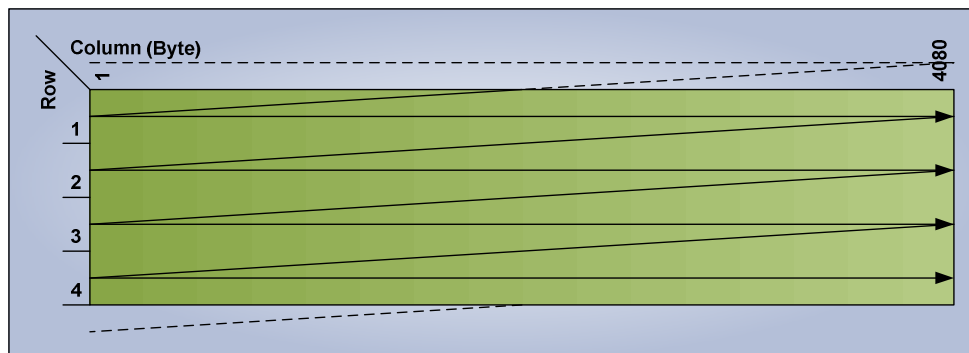


Figura 8 – Sequência de transmissão do multi-quadro OTN.

2.4 Estrutura do Cabeçalho

Na área destinada ao cabeçalho se encontram os dados de controle utilizados na transmissão do multi-quadro OTN. Esses têm por objetivo, *e.g.*, transportar informações referentes a funções de *supervisionamento*, condicionamento de transporte entre canais ópticos, monitoramento de conexões, adaptação do sinal do cliente para transporte sobre um canal óptico, controle de falhas e alarmes [PAI01]. Na Figura 9 observa-se o cabeçalho do multi-quadro OTN dividido em quatro partes distintas conforme definição da recomendação G.709 [ITU01], na linha (*row*) 1, colunas (*column*) 1 a 7, se tem o *Frame Alignment Overhead* (FA OH), em seguida o *Optical Channel Transport Unit Overhead* (OTU OH), colunas 8 a 14. Nas linhas 2 a 4, da coluna 1 a 14, aparece o *Optical Channel Data Unit Overhead* (ODU OH) e, por fim, nas colunas 15 e 16 das 4 linhas observa-se o *Optical Channel Payload Unit Overhead* (OPU OH).

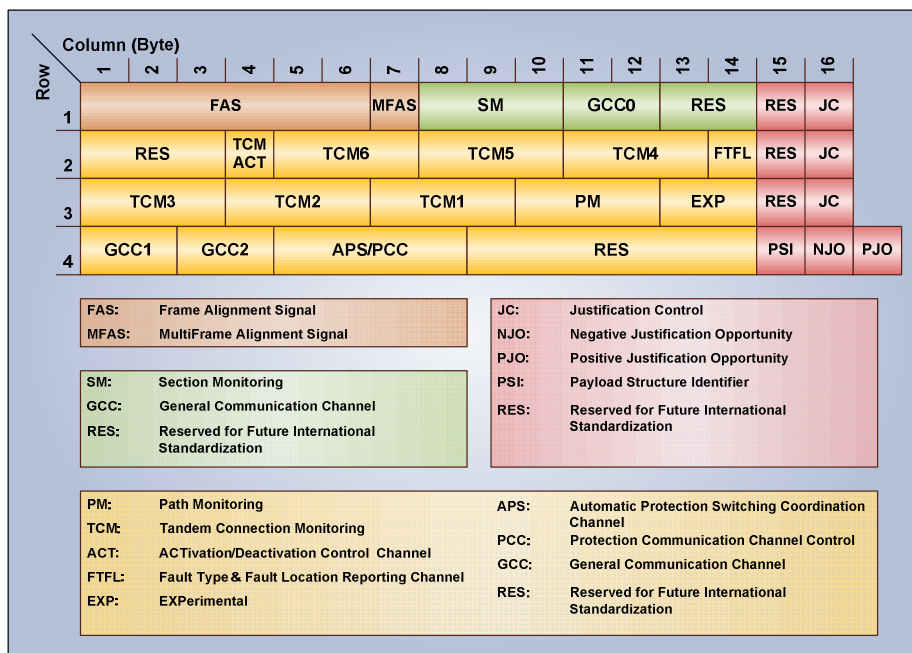


Figura 9 – Estrutura dos cabeçalhos do multi-quadro OTN. Adaptado de [ITU01].

A Figura 10 mostra as terminações de cada uma das estruturas lógicas do multi-quadro dentro de uma rede OTN.

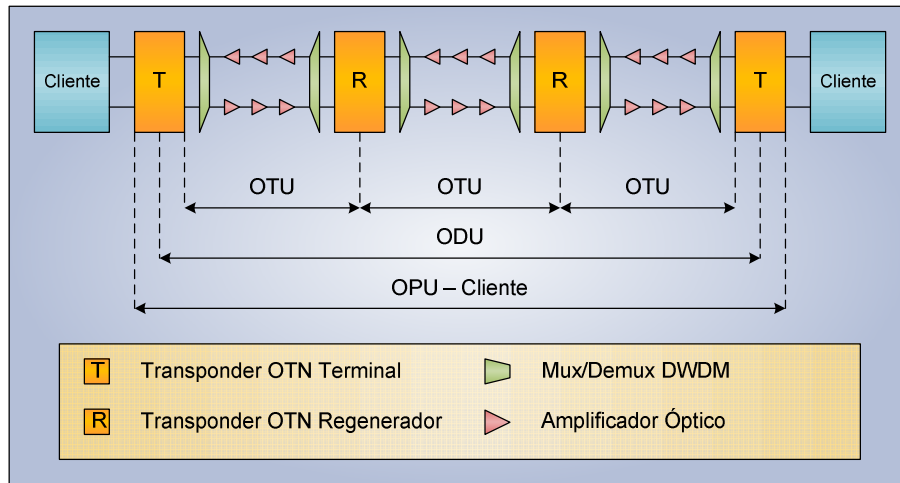


Figura 10 – Terminações das estruturas OTU, ODU e OPU. Adaptado de [NAK01].

2.5 Frame Alignment Overhead (FA OH)

O *Frame Alignment Overhead* (FA OH) possui dois campos, o FAS e o MFAS, que servem para detecção do início do multi-quadro e para controle da sequência em que as informações dos multi-quadros são transmitidas.

O Frame Alignment Signal (FAS) serve para indicar o início do multiquadro OTN e é definido como 6 bytes, bytes 1 a 6 da primeira linha, que possuem a sequência $x"F6F6F6282828"$, apresentada na Figura 11 em binário, sendo o byte $x"F6"$ definido como OA1 (*Optical Alignment 1*) e o byte $x"28"$ definido como OA2 (*Optical Alignment 2*).

FAS OH Byte 1	FAS OH Byte 2	FAS OH Byte 3	FAS OH Byte 4	FAS OH Byte 5	FAS OH Byte 6
1111 0110	1111 0110	1111 0110	0010 1000	0010 1000	0010 1000
OA1	OA1	OA1	OA2	OA2	OA2

Figura 11 – Estrutura do campo FAS. Adaptado de [ITU01].

Alguns cabeçalhos do OTU e do ODU são montados durante a recepção de múltiplos multi-quadros, para isso é necessário um processo de alinhamento [ITU01]. Para controlar esse processo existe o MultiFrame Alignment Signal (MFAS) que é definido como o sétimo byte da primeira linha do multi-quadro OTN, e atua como um contador de 8 *bits* que incrementa a cada multi-quadro, variando de 0 a 255, conforme é demonstrado na Figura 12 (em binário).

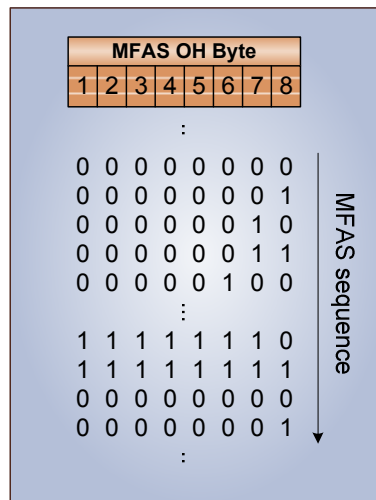


Figura 12 – Estrutura do campo MFAS. Adaptado de [ITU01].

Quando um campo de cabeçalho contém uma informação que possui mais bytes do que seu espaço delimitado dentro de um multi-quadro OTN, sua informação é alinhada à sequência do MFAS, para que a informação completa do campo seja transmitida a cada 2, 4, 8, 16, 32, 64, 128 ou 256 multi-quadros, de acordo com o seu tamanho.

2.6 Optical Channel Transport Unit Overhead (OTU OH)

O *Optical Channel Transport Unit Overhead* (OTU OH) possui dois campos, o SM e o GCC0, e um espaço reservado para futura padronização (RES). Esses campos possuem informações utilizadas entre seções, como apresentado na Figura 10. O campo GCC0 (*General Communication Channel*) possui dois bytes, colunas 11 e 12 da primeira linha do multi-quadro, e é utilizado como um canal de comunicação entre as terminações de seção do OTU.

O campo *Section Monitoring* (SM) é definido nos bytes 8 a 10 da primeira linha do multi-quadro OTN e é subdividido em outros três campos, são eles, *Trail Trace Identifier* (TTI), *Bit Interleaved Parity – Level 8* (BIP-8) e um campo de alarmes subdividido em *Backward Error Indication and Backward Incoming Alignment Error* (BEI/BIAE), *Backward Defect Indication* (BDI), *Incoming Alignment Error* (IAE) e dois bits reservados para futura padronização. O campo SM é ilustrado na Figura 13.

O campo *Trail Trace Identifier* (TTI) é um exemplo de informação que é transmitida utilizando sincronização com o MFAS. É definido como uma string de 64 bytes, Figura 14, e obedece a seguinte estrutura [ITU01]:

- TTI[0] contém o caractere SAPI[0] (*Source Access Point Identifier*), que é sempre preenchido com zeros;
- TTI[1] até TTI[15] contém os 15 caracteres do SAPI (SAPI[1] a SAPI[15]);
- TTI[16] contém o caractere DAPI[0] (*Destination Access Point Identifier*), que é sempre preenchido com zeros;

- TTI[17] até TTI[31] contém os 15 caracteres do DAPI (DAPI[1] a DAPI[15]);
- TTI[32] até TTI[63] são de uso específico da operadora e não estão definidos na recomendação G.709.

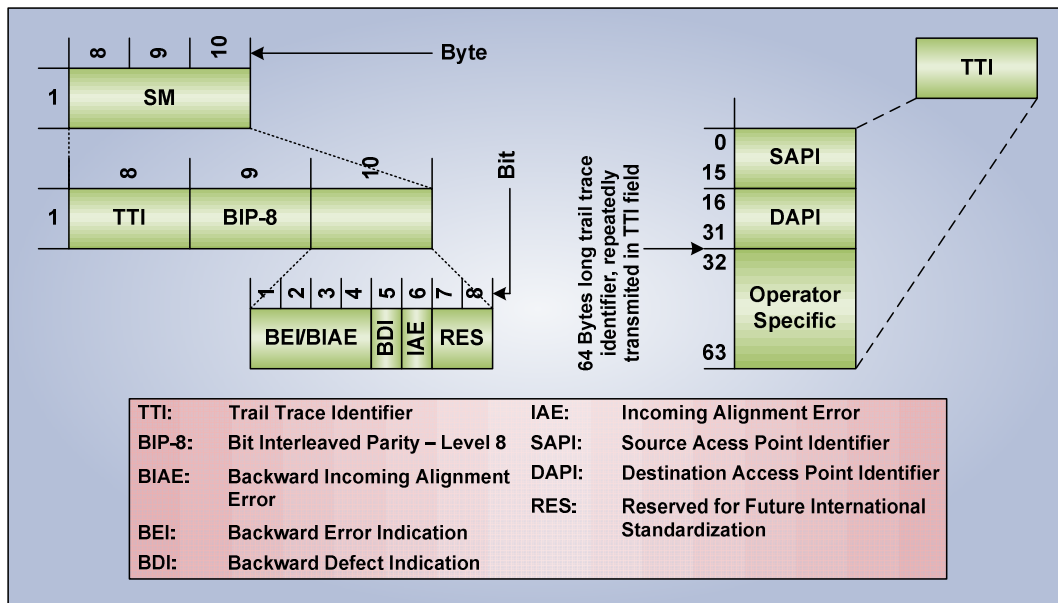


Figura 13 – Estrutura do campo SM. Adaptado de [ITU01].

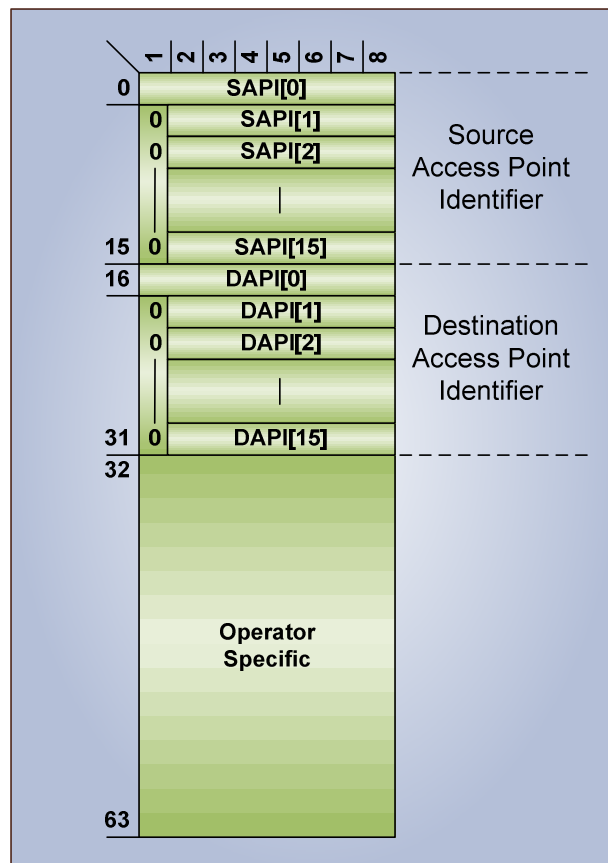


Figura 14 – Estrutura do campo TTI, adaptado de [ITU01].

As informações contidas nos *Access Point Identifiers* (APIs) são utilizadas para roteamento, no caso do TTI do campo SM é utilizado entre seções, como visto na Figura 10, e tem por funcionalidades:

- Serem globalmente únicas em sua camada de rede;
- Devem estar disponíveis para outras operadoras de rede, quando necessário;
- Não devem mudar enquanto o *Access Point* existir;
- O conjunto de todos os APIs pertencentes a uma única camada administrativa de rede deve formar um único esquema de API;
- Podem ser independentes de qualquer esquema de outra camada administrativa de rede.

Os 64 bytes do TTI são alinhados à informação do MFAS, ou seja, são enviados 4 vezes a cada 256 transições da sequência do MFAS e têm início nas posições 0 (x“00”), 64 (x“40”), 128 (x“80”) e 192 (x“C0”).

O campo *Bit Interleaved Parity – Level 8* (BIP-8) é utilizado para detecção de erros. O BIP-8 é computado sobre os bits do OPU, colunas 15 até 3824, área do multi-quadro *frame i*, e o resultado é inserido no campo BIP-8 do OTU OH do multi-quadro *frame i+2*, como é apresentado na Figura 15.

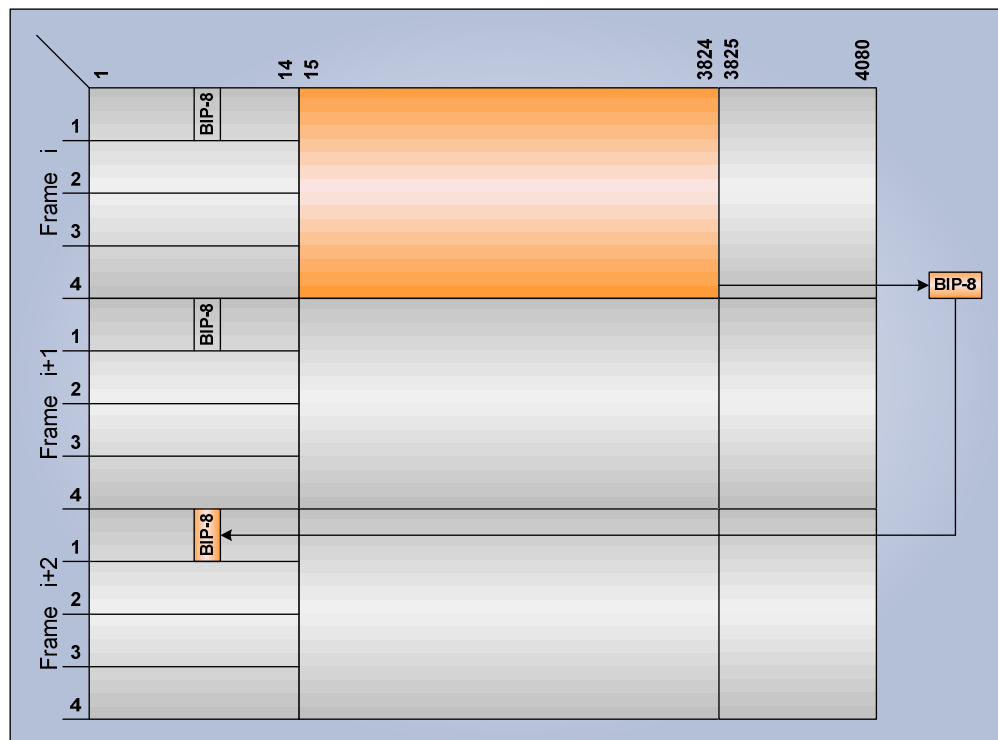


Figura 15 – Ilustração da geração do BIP-8. Adaptado de [ITU01].

Para monitoração da seção são definidos 4 bits para *Backward Error Indication* (BEI) e *Backward Incoming Alignment Error* (BIAE). Esses bits são usados para o receptor informar ao transmissor a quantidade de blocos com erro detectados pelo cálculo e análise da informação do

BIP-8. Também envia ao transmissor a informação de que houve um erro de alinhamento e este está indicado no campo IAE. A informação do campo BEI/BIAE é formada de acordo com a Tabela 1.

Tabela 1 – Interpretação do campo BEI/BIAE. Adaptado de [ITU01].

OTU SM BEI/BIAE				BIAE	BIP violations
Bits	1	2	3	4	
	0	0	0	0	false 0
	0	0	0	1	false 1
	0	0	1	0	false 2
	0	0	1	1	false 3
	0	1	0	0	false 4
	0	1	0	1	false 5
	0	1	1	0	false 6
	0	1	1	1	false 7
	1	0	0	0	false 8
	1	0	0	1	false 0
	1	0	1	0	false 0
	1	0	1	1	true 0
	1	1	0	0	false 0
	.	.	.	.	.
	1	1	1	1	false 0

Para monitoramento de seção, um único bit é definido como sinal para o receptor informar ao transmissor que uma falha foi detectada na terminação onde foi recebido o sinal. Esse bit é denominado *Backward Defect Indication* (BDI) e possui o valor “1” em caso de falha e “0” caso contrário.

Quando detectado um erro de alinhamento no multi-quadro OTN o bit *Incoming Alignment Error* (IAE) é alterado para “1”, caso contrário é mantido em “0”.

2.7 Optical Channel Data Unit Overhead (ODU OH)

O *Optical Channel Data Unit Overhead* (ODU OH) possui os campos PM, FTFL, TCM_i (i = 1..6), TCM ACT, GCC1, GCC2, APS/PCC, além de bytes reservados para futura padronização (RES) e uso experimental (EXP), não definidos na recomendação G.709. O ODU OH permite o monitoramento do caminho percorrido pelo multi-quadro quando esse necessita passar por operadoras distintas para chegar ao seu destino. Este processo é denominado *tandem connection* e seus campos de monitoramento dentro do ODU OH são o TCM_i (i=1..6) e o TCM ACT. As descrições funcionais do monitoramento de tandem connection, dos canais de comunicação global (GCC1 e GCC2) e do campo de proteção APS/PCC não serão apresentadas, pois as funcionalidades desses campos não serão implementadas no escopo deste trabalho.

O campo *Path Monitoring* (PM) é definido nos bytes 10 a 12 da terceira linha do multi-quadro OTN, é subdividido em outros três campos, são eles, *Trail Trace Identifier* (TTI), *Bit Interleaved Parity – Level 8* (BIP-8) e um campo de alarmes. Esse campo de alarmes é subdividido em *Backward Error Indication* (BEI), *Backward Defect Indication* (BDI) e *Status* (STAT). O

campo PM pode ser visualizado na Figura 16 e seus sub-campos que possuem o mesmo nome de campos do SM têm as mesmas funcionalidades descritas anteriormente, aplicadas ao contexto do ODU, conforme Figura 10.

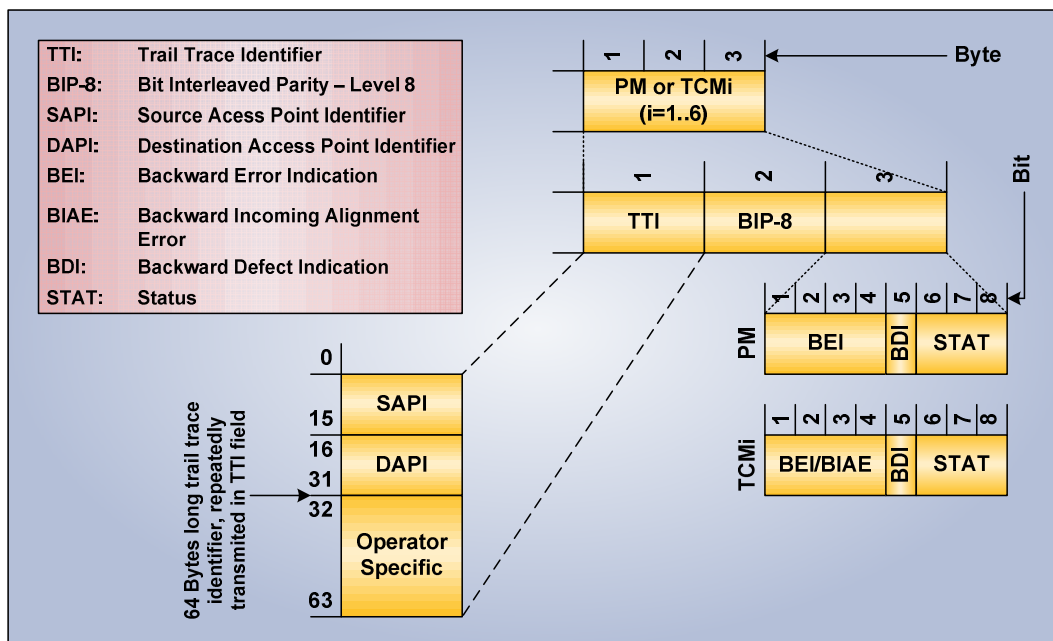


Figura 16 – Estrutura do campo PM e do campo TCM. Adaptado de [ITU01].

O campo STAT possui 3 bits e serve para indicar a presença de um sinal de manutenção. Sua composição obedece a Tabela 2.

Tabela 2 – Interpretação do campo STAT. Adaptado de [ITU01].

PM byte 3			Status
bits	6	7	8
0	0	0	Reserved for suture international standardization
0	0	1	Normal path signal
0	1	0	Reserved for future international standardization
0	1	1	Reserved for future international standardization
1	0	0	Reserved for future international standardization
1	0	1	Maintenance signal: ODUk-LCK
1	1	0	Maintenance signal: ODUk-OCI
1	1	1	Maintenance signal: ODUk-AIS

O campo *Fault Type & Fault Location Reporting Channel* (FTFL) é definido no byte 14 da segunda linha do multi-quadro OTN e possui uma informação de 256 bytes, alinhados ao MFAS, que serve para identificar o tipo de uma falha e em que operadora ela foi identificada. A informação do campo FTFL é subdividida em dois campos. São eles, o *Forward Field* e o *Backward Field*, cada um com 128 bytes, ilustrado na Figura 17.

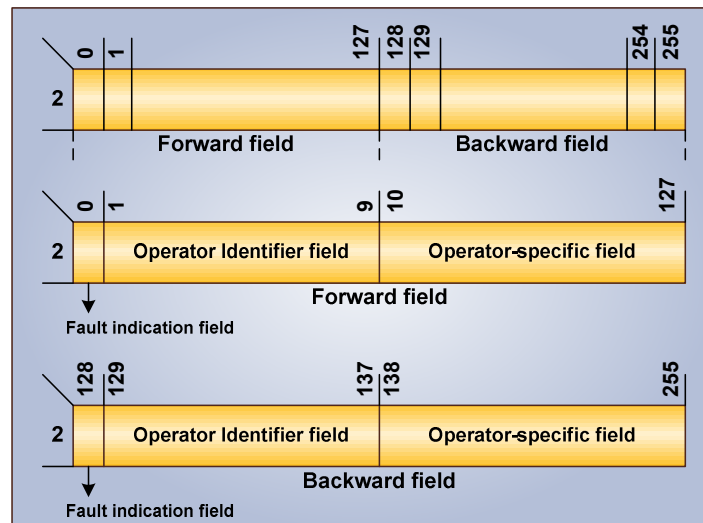


Figura 17 – Estrutura do campo FTFL. Adaptado de [ITU01].

O Forward Field e o Backward Field por sua vez são subdivididos em três campos, são eles, *Fault Type Indication*, *Operator Identifier* e *Operator-specific*. O campo Fault Type Indication serve para informar o tipo de falha ocasionada, e é construído conforme a Tabela 3. O resto da informação é utilizado para identificar onde a falha foi identificada.

Tabela 3 – Interpretação do campo Fault Type Indication do FTFL. Adaptado de [ITU01].

Fault indication code		Definition
0000	0000	No Fault
0000	0001	Signal Fail
0000	0010	Signal Degrade
0000	0011	Reserved for future international standardization
.	.	.
1111	1111	Reserved for future international standardization

2.8 Optical Channel Payload Unit Overhead (OPU OH)

O quarto e último cabeçalho refere-se ao *Optical Channel Payload Unit Overhead* (OPU OH) possui quatro campos, que são: PSI, JC, NJO e PJO, além de bytes reservados para futura padronização (RES). Esses campos possuem informações utilizadas para inserção e remoção dos dados do cliente no multi-quadro OTN, vide terminações na Figura 10.

O campo *Payload Structure Identifier* (PSI) é definido no byte 15 da quarta linha do multi-quadro OTN. Sua informação completa possui 256 bytes, os quais são alinhados ao MFAS. Na sua primeira posição (PSI[0]) está o sub-campo *Payload Type* (PT), as demais posições (PSI[1] a PSI[255]) são utilizadas, ou não, de acordo com o mapeamento (inserção e remoção de carga útil) e processo de concatenação, se empregado. A Figura 18 ilustra detalhadamente o campo PSI.

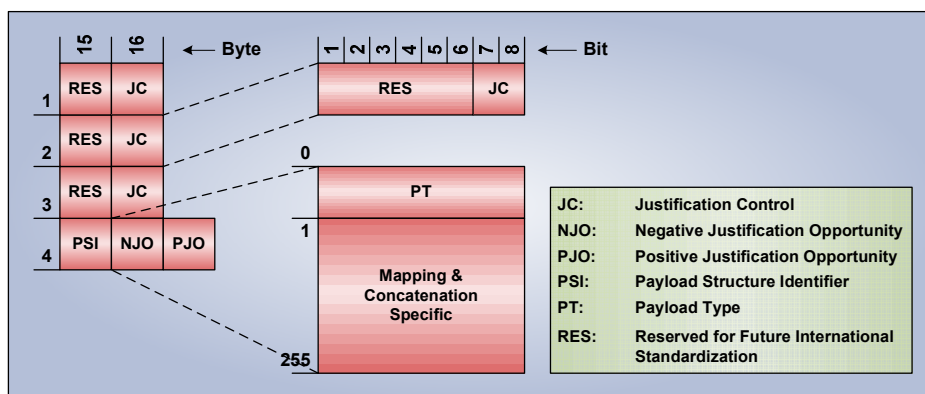


Figura 18 – Estrutura do OPU OH. Adaptado de [ITU01].

O byte PT define o tipo de sinal inserido na carga útil do OPU, definido de acordo com a Tabela 4. Será utilizado neste trabalho código de uso proprietário (80-8F).

Tabela 4 – Interpretação do campo PT. Adaptado de [ITU01].

MSB				LSB				HEX	Interpretation
1	2	3	4	5	6	7	8		
0	0	0	0	0	0	0	1	01	Experimental mapping
0	0	0	0	0	0	1	0	02	Asynchronous CBR mapping
0	0	0	0	0	0	1	1	03	Bit synchronous CBR mapping
0	0	0	0	0	1	0	0	04	ATM mapping
0	0	0	0	0	1	0	1	05	GFP mapping
0	0	0	0	0	1	1	0	06	Virtual Concatenated signal
0	0	0	1	0	0	0	0	10	Bit stream with octet timing mapping
0	0	0	1	0	0	0	1	11	Bit stream without octet timing mapping
0	0	1	0	0	0	0	0	20	ODU multiplex structure
0	1	0	1	0	1	0	1	55	Not available
0	1	1	0	0	1	1	0	66	Not available
1	0	0	0	x	x	x	x	80-8F	Reserved codes for proprietary use
1	1	1	1	1	1	0	1	FD	NULL test signal mapping
1	1	1	1	1	1	1	0	FE	PRBS test signal mapping
1	1	1	1	1	1	1	1	FF	Not available

Os campos de *Justification Control* (JC) estão presentes na coluna 16 das linhas 1 a 3 do multi-quadro, bits 7 e 8, conforme Figura 18. No caso de haver *jitter* no sinal do cliente, esse fator deve ser levado em conta pelo mapeamento (inserção de dados do cliente na carga útil do quadro OTN). O campo JC, do quadro OTN correspondente, deve ser preenchido com a informação de que houve variação, ou não, e se houve para mais ou para menos. O voto majoritário dos três campos define se será feita justificativa no quarto quadro do multi-quadro, utilizando-se os campos *Negative Justification Opportunity* (NJO) ou *Positive Justification Opportunity* (PJO), visualizados na Figura 18, quando necessários, preenchidos com bytes de dados do cliente ou noutro caso preenchidos com zeros.

2.9 Carga Útil

Carga útil (*payload*) é a área do multi-quadro OTN onde é transportado o sinal do cliente. Está definida entre as colunas 17 e 3824 do multi-quadro OTN, totalizando 15232 bytes, sem a utilização de justificativa.

2.10 Forward Error Correction – FEC

O *Forward Error Correction* (FEC) utiliza o método de geração de código de correção de erros *Reed-Solomon* (RS) para produzir informação redundante que é transmitida com o quadro OTN e utilizado na recepção para localizar e corrigir erros que porventura venham a acontecer durante a transmissão [SIL01].

O ganho gerado pela utilização de correção de erros FEC pode ser de até 6.2 dB, ou seja, devido ao menor número de erros na comunicação é possível transmitir um sinal a certa taxa BER (*Bit Error Rate*) utilizando 6.2 dB a menos de potência. Tal ganho permite que seja utilizada uma extensão de fibra óptica de maior comprimento. Possibilita, também, a utilização de um maior número de canais em um sistema DWDM e, o mais importante, possibilita a evolução de enlaces ponto a ponto para redes ópticas ao diminuir a necessidade de regeneração do sinal no decorrer do caminho [PAI01].

2.11 Scrambling

Para que seja evitada uma sequência muito longa de “0”s ou “1”s, o que dificulta a regeneração do clock na recepção do sinal, é executado um processo de embaralhamento dos bits do multi-quadro. Esse processo é denominado *scrambling* e funciona como um *Linear Feedback Shift Register* (LFSR), de polinômio gerador $1 + x + x^3 + x^{12} + x^{16}$, onde sua saída é somada a cada bit do multi-quadro e forma o sinal embaralhado que será enviado, Figura 19.

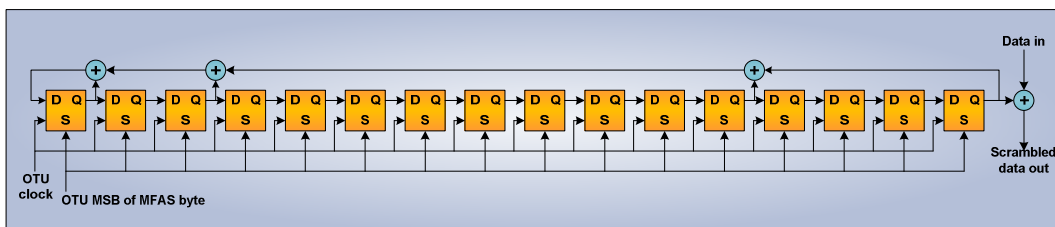


Figura 19 – Processo de scrambling. Adaptado de [ITU01].

O scrambling é efetuado após o cálculo do FEC e todos os bytes do multi-quadro devem ser embaralhados, com exceção dos bytes do FAS. Esse processo de embaralhamento é simétrico, ou seja, o mesmo processo utilizado para embaralhar o sinal para a transmissão é feito durante a recepção para que se obtenha o sinal original, desembaralhado.

2.12 Mapeamentos

A demanda por uma tecnologia capaz de transportar 10 Gigabit Ethernet LAN PHY inteiramente, limitação inerente ao SONET [GEE01], faz deste mapeamento o mais relevante atualmente para a indústria de telecomunicações. Além desse, OTN abrange muitos outros tipos de mapeamentos, sejam eles orientados a pacotes ou células, síncronos ou assíncronos. Outros mapeamentos utilizados são SONET/SDH, ATM e GFP.

A recomendação G.709 define três tipos de mapeamentos *Constant Bit Rate* (CBR), são eles, CBR2G5, CBR10G e CBR40G, referentes às taxas de transmissão aproximadas de 2,5Gbps, 10Gbps e 40Gbps respectivamente. Esses valores são derivados das taxas padronizadas no SONET/SDH e a relação de ocupação do OPU. Essa relação varia de acordo com o mapeamento e significa quanto o sinal do cliente ocupa da área de carga útil do quadro OTN. A Tabela 5 apresenta a correlação entre os mapeamentos CBR, interfaces SONET/SDH e as respectivas taxas de transmissão.

Tabela 5 – Correlação entre os mapeamentos CBR, interfaces SONET/SDH e as respectivas taxas de transmissão.

Interface/Mapeamento/Taxa			Interfaces Correspondentes		Taxas de transmissão do cliente em Gbps
OTU _k	OTN(CBR)	(Gbps)	SONET	SDH	
OTU ₁	CBR2G5	2,666	OC-48	STM-16	2,488
OTU ₂	CBR10G	10,709	OC-192	STM-64	9,953
OTU ₃	CBR40G	43,018	OC-768	STM-256	39,813

A Figura 20 apresenta a estrutura do mapeamento de um sinal CBR2G5 em OPU₁. Já a Figura 21 e a Figura 22 demonstram a estrutura do mapeamento de um sinal CBR10G em OPU₂ e de um sinal CBR40G em OPU₃, respectivamente.

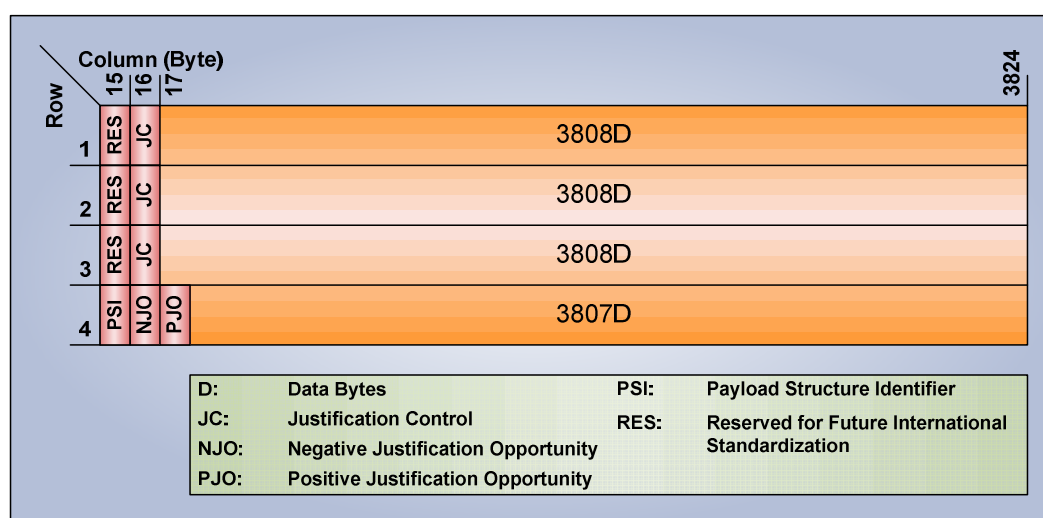


Figura 20 – Estrutura do mapeamento de um sinal CBR2G5 em OPU₁. Adaptado de [ITU01].

Os espaços não utilizados da área de carga útil do multi-quadro OTN são preenchidos com bytes de preenchimento (*Fixed Stuff* - FS), definidos na recomendação G.709, que são

desconsiderados como informação a ser extraída para envio ao cliente. Esses bytes são utilizados para adaptação do sinal do cliente dentro do quadro OTN. A Figura 21 e a Figura 22 apresentam a disposição dos bytes de preenchimento para mapeamento de um sinal CBR10G em OPU₂ e de um sinal CBR40G em OPU₃, respectivamente.

Row	Column (Byte)				1904	1905	1920	1921	3824
	15	16	17						
1	RES	JC		1888D		16FS		1904D	
2	RES	JC		1888D		16FS		1904D	
3	RES	JC		1888D		16FS		1904D	
4	PSI	NJO	PJO	1887D		16FS		1904D	

D:	Data Bytes	PJO:	Positive Justification Opportunity
FS:	Fixed Stuff Bytes	PSI:	Payload Structure Identifier
JC:	Justification Control	RES:	Reserved for Future International Standardization
NJO:	Negative Justification Opportunity		

Figura 21 – Estrutura do mapeamento de um sinal CBR10G em OPU₂. Adaptado de [ITU01].

Row	Column (Byte)				1264	1265	1280	1281	2544	2545	2560	2561	3824
	15	16	17										
1	RES	JC		1248D		16FS		1264D		16FS		1264D	
2	RES	JC		1248D		16FS		1264D		16FS		1264D	
3	RES	JC		1248D		16FS		1264D		16FS		1264D	
4	PSI	NJO	PJO	1247D		16FS		1264D		16FS		1264D	

D:	Data Bytes	PJO:	Positive Justification Opportunity
FS:	Fixed Stuff Bytes	PSI:	Payload Structure Identifier
JC:	Justification Control	RES:	Reserved for Future International Standardization
NJO:	Negative Justification Opportunity		

Figura 22 – Estrutura do mapeamento de um sinal CBR40G em OPU₃. Adaptado de [ITU01].

Existe também a possibilidade de mapear múltiplos sinais concorrentemente, alocando espaços *tributários* para cada cliente dentro do quadro. Quatro ODU₁ mapeados assincronamente no *Optical Channel Data Tributary Unit* 1 inserido no 2 (ODTU₁₂) que é multiplexado no tempo num ODTUG₂ (*Optical Channel Data Tributary Unit Group*) formando um OPU₂ é uma combinação possível, apresentada na Figura 23.

3 Mapeamento 10GbE LAN PHY em OPU1e

O projeto X10GIGA tem em suas especificações os mapeamentos que o transponder terá que atender. O desenvolvimento de vários mapeamentos, concomitantemente, seria inviável, na medida em que aumentaria muito o tempo de projeto devido à complexidade implicada. A escolha do primeiro mapeamento a ser implementado provém da necessidade mais imediata que o equipamento deverá suprir. De acordo com a especificação do trabalho em desenvolvimento no escopo do projeto X10GIGA foi definida uma lista de prioridades, conforme apresentado na Tabela 6.

Tabela 6 – Mapeamentos a serem implementados de acordo com a sua prioridade dentro do projeto.

Mapeamentos	
1°	10GbE BASE-R LAN PHY
2°	SDH/STM-64
3°	10GbE BASE-W WAN PHY
⋮	⋮

A recomendação G.709 utiliza SONET/SDH como referência de sinais de cliente para explicar os mapeamentos em CBR. No suplemento 43 [ITU03] da norma encontram-se diversas abordagens sobre o transporte de 10GbE LAN PHY sobre OTN, incluindo o mapeamento utilizado no escopo desse trabalho. Nesse documento são apresentados duas possíveis adaptações do quadro para o mapeamento do sinal do cliente. A primeira delas utiliza-se de bytes de preenchimento (FS) para acomodar o sinal do cliente dentro do OPU₂, enquanto a segunda utiliza toda a área de carga útil, e por isso é dita como mapeada em OPU₁. Porém, as duas têm taxas de transmissão diferentes das *nominais*, padronizadas na G.709, devido à origem do sinal do cliente ser 10 Gigabit Ethernet e não SONET/SDH. Por isso, as estruturas lógicas do quadro OTN, para mapeamento de 10GbE, são referenciadas como OPU_ke, ODU_ke e OTU_ke, onde o “e” indica que há diferença de frequência entre eles e as taxas nominais de “k” definidas na recomendação G.709.

O mapeamento 10GbE LAN PHY em OPU₁e traz outras peculiaridades. Além da taxa de transmissão não ser padronizada, existe a ausência de bytes de preenchimento (FS), o que faz necessário o desenvolvimento de soluções que se adaptem às especificações do padrão OTN e às restrições em relação ao sinal do cliente, como a tolerância na variação do *clock*. O controle dessa tolerância é uma das atividades propostas nesse trabalho.

3.1 Taxas de Transmissão

O projeto do presente trabalho envolve o uso e o entendimento de várias frequências e taxas de transmissão, sendo que as principais serão explanadas nesta seção.

Existem dois grandes grupos de interfaces físicas 10GbE, diferenciadas principalmente pela rede em que ela é empregada, LAN ou WAN. Os dois tipos de porta 10GbE recebem uma codificação de linha 64B/66B [BAR01], onde são adicionados dois bytes de redundância para evitar transmissões inválidas e efetuar ajuste de sincronismo [WAL01]. A taxa de transmissão efetiva é

10,3125Gbps, e não 10Gbps, devido a codificação. Por isso, a tecnologia SONET, utilizada nas redes de longas distâncias (WAN), empacota os dados com codificação de linha 64B/66B e os concatena em quadros STS-192c, para alcançar a sua taxa de operação, que é 9,953Gbps, ou seja, não consegue transportar inteiramente o sinal. Nas redes locais (LAN), o sinal da porta 10GbE LAN PHY é empacotado totalmente em OPU_{1e}, pois considera a taxa efetiva. Outras taxas de transmissão importantes vão aparecendo de acordo com a pilha do padrão OTN, conforme a inserção de sobrecarga a cada nível, como mostra a Figura 24.

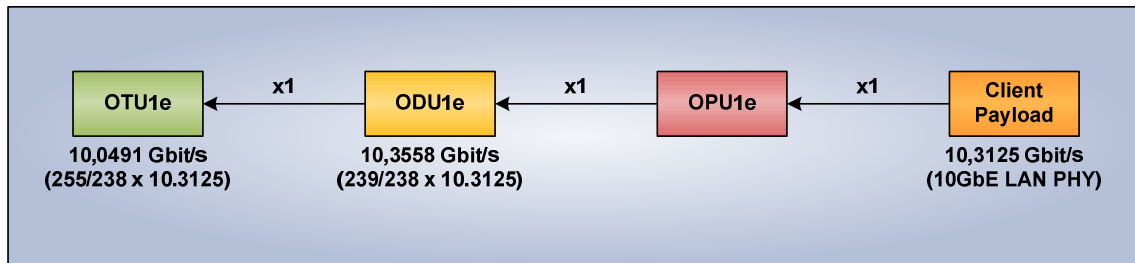


Figura 24 – Estrutura de mapeamento sem bytes de preenchimento. Adaptado de [ITU03].

A relação entre as taxas de transmissão, de acordo com a sobrecarga referente às estruturas lógicas do quadro OTN, é apresentada na Tabela 7.

Tabela 7 – Relação entre as taxas de transmissão de acordo com a sobrecarga referente às estruturas lógicas do quadro OTN.

Estruturas	Taxas (Gbps) ¹	Relações
OPU_{1e}	10,3125	10,0000 (10GbE) x 66B/64B
ODU_{1e}	10,3558	10,3125 (OPU _{1e}) x 239/238
OTU_{1e}	11,0491	10,3125 (OPU _{1e}) x 255/238

A tolerância de variação é um dado relevante que acompanha a informação das taxas de transmissão. O esquema de controle de justificativa apresentado no Seção 2.8 é capaz de compensar um pouco mais do que ± 65 ppm (partes por milhão) de diferença entre as taxas de transmissão do OTU e do cliente. A recomendação assume que a variação do OTU é de ± 20 ppm, sendo assim, permite sinais de clientes com tolerância de até ± 45 ppm. Esse esquema pode ser utilizado para SONET e SDH que tem tolerância de ± 20 ppm. Porém, clientes 10GbE LAN PHY tem tolerância de ± 100 ppm, o que possibilita diferenças superiores a capacidade de compensação da técnica de justificativa.

No Apêndice I, da recomendação G.709 [ITU01], é descrito como calcular os valores de tolerância das taxas de transmissão de acordo com o esquema de justificativa. Utilizando os exemplos da referência é possível encontrar o quanto de justificativa é necessário para absorver a tolerância de ± 100 ppm, especificada no mapeamento de sinais 10GbE LAN PHY. Antes de iniciar os cálculos é preciso definir equações e o significado de suas variáveis conforme é feito na Tabela 8.

¹ Valores arredondados a partir dos cálculos referentes à coluna “Relações” da Tabela 7.

Tabela 8 – Definição de variáveis. Apêndice I [ITU01].

N	= number of fixed stuff bytes in the OPUk payload area associated with the client in question (note that this is not the total number of fixed stuff bytes if multiple clients are being multiplexed)
S	= nominal STM-N or ODUj client rate (bytes/s)
T	= nominal ODUk frame period(s)
y_c	= client frequency offset (fraction)
y_s	= server frequency offset (fraction)
p	= fraction of OPUk payload area available to this client
N_f	= average number of client bytes mapped into an ODUk frame, for the particular frequency offsets (averaged over a large number of frames)

A média de bytes do cliente mapeados dentro do ODU é calculada pela equação (1) e pode ser simplificada na equação (2), dado que as frequências de ajuste são muito menores que 1.

$$N_f = S \times T \times \frac{(1+y_c)}{(1+y_s)} \quad (1)$$

$$N_f = S \times T \times (1 + y_c - y_s) \equiv S \times T \times \beta \quad (2)$$

O valor de $\beta - 1$ representa a diferença bruta entre as variações do cliente e do OTU.

O valor de N_f também pode ser calculado pelo número total de bytes de dados do cliente dentro do ODU ($4 \times 3808 \times p = 15232 \times p$), menos o número de bytes de preenchimento fixo (N) para este mapeamento, mais a média do número de bytes fixos desse cliente após muitos quadros. Considerando a taxa em que ocorre justificativa (valor representado pela variável α). A combinação dessa equação com a aproximação da equação (2) resulta em:

$$S \times T \times \beta = \alpha \times p + 15232 \times p - N \quad (3)$$

A taxa nominal do cliente utilizada nesse trabalho é de 10,3125 Gbps, que serve para encontrar o valor de S , como mostra a equação (4).

$$S = \frac{10,3125 \times 10^9}{8 \text{ bits}} = 1289062500 \text{ bytes/s} \quad (4)$$

O período nominal de transporte do quadro ODU₁e (T), em bytes, é calculado na equação (5).

$$T = \frac{(4 \times 3824) \times 8 \text{ bits}}{10,3558 \times 10^9} = 1,18163 \times 10^{-5} \quad (5)$$

Tendo que o mapeamento de 10GbE LAN PHY em uma estrutura CBR2G5 não tem bytes fixos ($N = 0$) e que nesse trabalho utiliza-se o mapeamento de um único cliente, ou seja, a área de carga útil é utilizada totalmente ($p = 1$), podemos resolver a equação (3) da seguinte maneira:

$$15232 \times \beta = \alpha + 15232 \quad (6)$$

$$\alpha = 15232 \times (\beta - 1) \quad (7)$$

Considerando as taxas de variação como mostra a Tabela 9, podemos encontrar os valores de α para os dois casos de maior diferença.

Tabela 9 – Valores utilizados para encontrar α .

Caso	Cliente (y_c)	OTU (y_s)	Total ($\beta - 1$)	α
1	-100ppm	+20ppm	-120ppm	-1,8278
2	+100ppm	-20ppm	+120ppm	+1,8278

$$-1,8278 \leq \alpha \leq +1,8278 \quad (8)$$

O intervalo de α , equação (8), mostra que nesse mapeamento a taxa de ocorrência de justificativa ultrapassa o suportado. Pela técnica de controle de justificativa, descrita na norma, α deve no máximo chegar ao módulo de um ($\alpha \leq |1|$), onde $\alpha = |1|$ corresponde à utilização dos campos de PJO ou NJO em todos os quadros, e $\alpha = 0$ seria o caso em que os campos de justificativa não são necessários, ou seja, nominal. Outra forma de explicar esses valores seria afirmar que para atender esses piores casos se faz necessário mais um campo de justificativa positiva e outro de negativa.

A norma não aborda este tipo de mapeamento e por isso não apresenta referência para solução que atenda essa tolerância. Logo, vai ser presumido que o cliente deverá respeitar a tolerância máxima de ± 45 ppm na variação do seu sinal transmitido.

4 Desenvolvimento da Interface-Cliente

Para tornar possível a compreensão dos módulos desenvolvidos para o presente trabalho, é apresentada nas próximas Seções a arquitetura proposta para a solução do problema, assim como as análises feitas para definir a estrutura dos módulos. E, posteriormente, será apresentada uma descrição mais detalhada do desenvolvimento de cada módulo da Interface-Cliente – Extrator e Inserir de Carga Útil.

4.1 Arquitetura Proposta

A arquitetura proposta para a Interface-Cliente é apresentada na Figura 25, onde se pode observar o módulo Extrator de Carga Útil, onde o item (1) indica a recepção de quadros OTN em palavras de 64 bits, alinhadas em função da sequência de alinhamento FAS e sem erros. Logo no início dos quadros é feita a análise dos campos JC do cabeçalho OPU OH. Este procedimento é executado no módulo Votação, item (2) da Figura 25. Posteriormente, a partir do resultado obtido pelo módulo Votação é feito o Controle de Justificativa, módulo apresentado no item (3) da Figura 25, que controla o deslocamento das palavras de 64 bits que são recebidas no Extrator de Carga Útil, em virtude de uma ou mais justificativas positivas ou negativas, item (4) da Figura 25. Após a manipulação dos dados de entrada, quando necessária, a carga útil do quadro OTN é inserida em uma fila (FIFO) assíncrona de onde os dados são lidos pelo cliente 10GbE, item (5) da Figura 25. Por fim, para controle de jitter existem módulos externos de controle da geração do clock de leitura da FIFO. Este controle é feito a partir da análise de um sinal que gera pulsos em função do número de palavras inseridas na FIFO assíncrona, apresentado no item (6) da Figura 25.

No módulo Inserir de Carga Útil a recepção de dados do cliente 10GbE pode ser observada no item (7) da Figura 25. Quando recebidos, os dados do cliente são armazenados em uma FIFO assíncrona, item (8) da Figura 25, de onde são retirados de acordo com o módulo Controle de Justificativa, item (9) da Figura 25, para inserção na área de carga útil de quadros OTN. Baseado no comportamento desta FIFO assíncrona o módulo Controle de Justificativa controla a inserção dos bits JC nos quadros e em função desses bits controla o deslocamento necessário, em virtude de uma ou mais justificativas positivas ou negativas, item (10) da Figura 25. Por fim, é apresentado na Figura 25 item (11) o módulo que executa a inserção dos cabeçalhos nos quadros OTN.

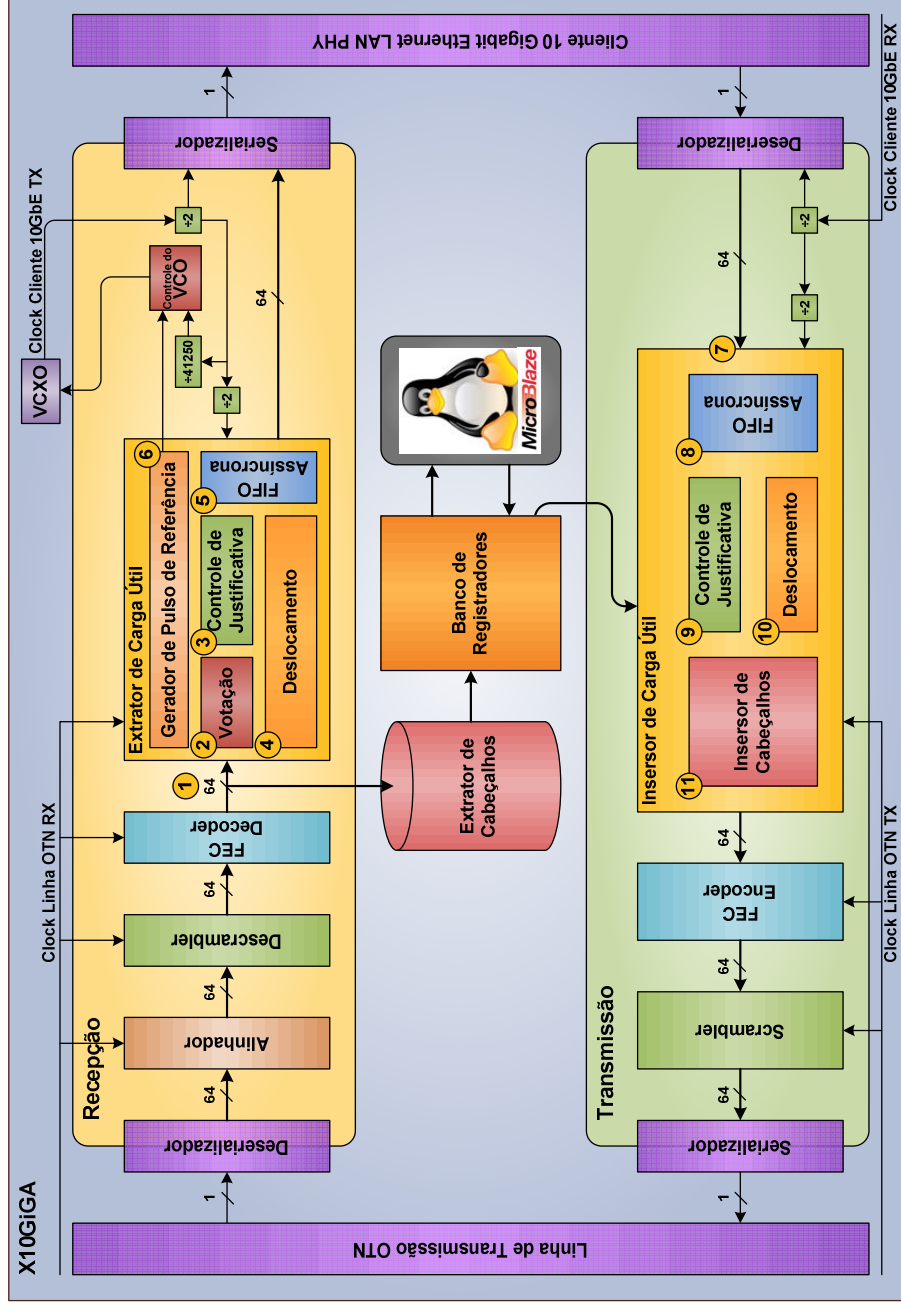


Figura 25 - Arquitetura proposta para a Interface-Cliente. Extração de Carga Útil; (1) Recepção de quadros OTN; (2) Análise dos votos de justificativa; (3) Controle de justificativa, baseado no resultado da votação; (4) Deslocamento em virtude de justificativa; (5) FIFO assíncrona de extração de dados para o cliente 10GbE; (6) Geração de pulsos de referência para controle de jitter. Inserção de Carga Útil; (7) Recepção de dados do cliente 10GbE; (8) FIFO assíncrona de inserção de carga útil em quadros OTN; (9) Controle de justificativa, baseado no comportamento da FIFO assíncrona; (10) Deslocamento em virtude de justificativa; (11) Inserção de cabeçalhos em quadro OTN.

4.2 Dimensionamento das Filas Assíncronas

Para desenvolver as filas assíncronas utilizadas nos módulos Extrator e Inserir de Carga Útil se faz necessário um estudo detalhado dos tamanhos, tempos e frequências relevantes ao mapeamento 10GbE em OTN, para tornar possível a criação de um ambiente de análise do comportamento das filas, a fim de dimensionar as mesmas de modo a não acrescentar latência desnecessária à Interface-Cliente. Inicialmente, são apresentados na Tabela 10 os tamanhos referentes ao quadro OTN que são relevantes aos cálculos de tempos e frequências do mapeamento utilizado no presente trabalho. Tempos e frequências para o mapeamento 10GbE em OTN são apresentados na Tabela 11, onde também estão presentes as variações permitidas por cada padrão².

Tabela 10 – Tamanhos do quadro OTN.

Tamanhos do Quadro OTN						
	Cabeçalho	Carga Útil	FEC	Quadro	Multi-quadro	256 Multi-quadros
Colunas	1	238	16	255	1020	261120
Palavras de 64 bits	2	476	32	510	2040	522240
Bytes	16	3808	256	4080	16320	4177920
Bits	128	30464	2048	32640	130560	33423360

Tabela 11 – Dados de tempo e frequência para mapeamento de 10GbE LAN PHY em OTN.

Dados para Mapeamento 10GbE LAN PHY em OTN	
Taxa do Cliente 10GbE LAN PHY (Gbps)	
10GbE LAN PHY	10,3125
Taxa da Linha OTN (Gbps)	
Linha OTN	11,0491071428571
Frequência do Cliente 10GbE LAN PHY – 64 bits (MHz)	
10GbE LAN PHY	161,1328125
Frequência da Linha OTN – 64 bits (MHz)	
Linha OTN	172,642299107143
Período do Cliente 10GbE LAN PHY – 64 bits (ps)	
10GbE LAN PHY	6206,060606
Período da Linha OTN – 64 bits (ps)	
Linha OTN	5792,323232
Tolerância do Cliente 10GbE LAN PHY (± 100 ppm)	
10GbE LAN PHY - Frequência (MHz)	0,016113281250
10GbE LAN PHY - Período (ps)	0,620544006
Tolerância da Linha OTN (± 20 ppm)	
Linha OTN - Frequência (MHz)	0,003452845982143
Linha OTN - Período (ps)	0,115844148

A partir das frequências e períodos apresentados na Tabela 11 é possível obter os tempos do quadro OTN operando com as frequências nominais, Tabela 12, para futura comparação de resultados obtidos. E, considerando as variações apresentadas na Tabela 11, é possível calcular os períodos com *jitter*, Tabela 13, utilizados nas simulações para análise do comportamento da fila

² As variações máximas, apresentadas na Tabela 11, referentes ao 10GbE não são as variações máximas do projeto X10GIGA para tal mapeamento. Porém, foram utilizadas essas variações para se obter uma análise de piores casos sem a ocorrência de justificativas do multi-quadro OTN, pois, ainda não haviam sido implementados os módulos de justificativa.

assíncrona. É importante ressaltar que também foram calculados, na Tabela 13, os períodos com *jitter* para casos intermediários de variação de frequência, assim possibilitando uma análise do comportamento das filas não só nos piores casos e caso nominal, mas também nesses casos intermediários.

Tabela 12 – Tempos do quadro OTN para mapeamento 10GbE LAN PHY quando ambos, cliente e linha, estão operando à frequência nominal.

Tempos do quadro OTN para Mapeamento 10GbE LAN PHY (Nominal)	
Cabeçalho (ns)	11,584646464647
Carga Útil (ns)	2757,145858585860
FEC (ns)	185,354343434343
Quadro (ns)	2954,084848484850
Multi-quadro (ns)	11816,339393939400

Tabela 13 – Períodos com jitter para palavra de 64 bits (fs).

Períodos com jitter para Palavra de 64 bits (fs)	
10GbE LAN PHY -100 ppm	6206681,15006681
10GbE LAN PHY -50 ppm	6206370,89357653
10GbE LAN PHY +50 ppm	6205750,31854468
10GbE LAN PHY +100 ppm	6205440,06205440
OTU2 -20 ppm	5792439,07647100
OTU2 -10 ppm	5792381,15497633
OTU2 +10 ppm	5792265,30967014
OTU2 +20 ppm	5792207,38817547

A escrita na fila, durante o procedimento de extração de carga útil, não é constante. Dado que apenas a área de carga útil é extraída durante a recepção, os cabeçalhos e o FEC não são inseridos na fila e o tempo sem inserção é apresentado na Tabela 14. Esse tempo é utilizado para a definição dos pontos de máxima e mínima ocupação da fila, pois, no momento em que termina a recepção de carga útil de um quadro e se interrompe a inserção na fila, é observada a ocupação máxima do intervalo. Após a recepção do FEC e do cabeçalho se obtém a ocupação mínima da fila no intervalo. Este comportamento pode ser observado na Figura 26, que mostra os primeiros 10us de operação de uma fila assíncrona simulando a extração de carga útil, onde, no item (1) é apresentado o momento em que inicia a escrita na fila. Logo após, no item (2) da Figura 26, a fila atinge certa ocupação que serve de *threshold* para o início da leitura. Para fins de implementação, este *threshold* é definido de forma a manter a ocupação média no meio da capacidade total da fila. Este fator indica a latência inserida pelo circuito e será apresentado nas próximas Seções. Ainda nesse ponto, é possível observar que mesmo com o início da leitura a ocupação continua aumentando, mesmo que com menor velocidade, por causa da diferença entre as frequências de escrita e leitura apresentadas na Figura 27. No item (3) da Figura 26 se pode observar o momento em que a ocupação da fila atinge seu ponto máximo e começa a diminuir, quando a escrita é interrompida no fim da carga útil de um quadro. E por fim, no item (4) da Figura 26, é apresentado o momento em que a FIFO atinge seu ponto de ocupação mínima e começa a ser preenchida novamente, no começo da recepção da carga útil do próximo quadro. Os pontos de máxima e mínima ocupação da fila devem ser constantes quando as frequências de escrita e leitura são nominais, Figura 27, e o fato de a fila trabalhar de

forma assíncrona permite a adaptação do sinal para o cliente sem interrupções. De forma análoga acontece a leitura da fila do Inserir de Carga Útil, pois, quando é feita a transmissão de cabeçalhos e FEC não ocorre leitura.

Tabela 14 – Dados não escritos/lidos na/da fila (Cabeçalho + FEC). Utilizando frequência nominal.

Dados não escritos/lidos na/da fila (Cabeçalho + FEC)	
Tempo (ns)	196,93898989899
Número de Colunas	17
Número de Palavras de 64 bits	34
Número de Bytes	272
Número de Bits	2176

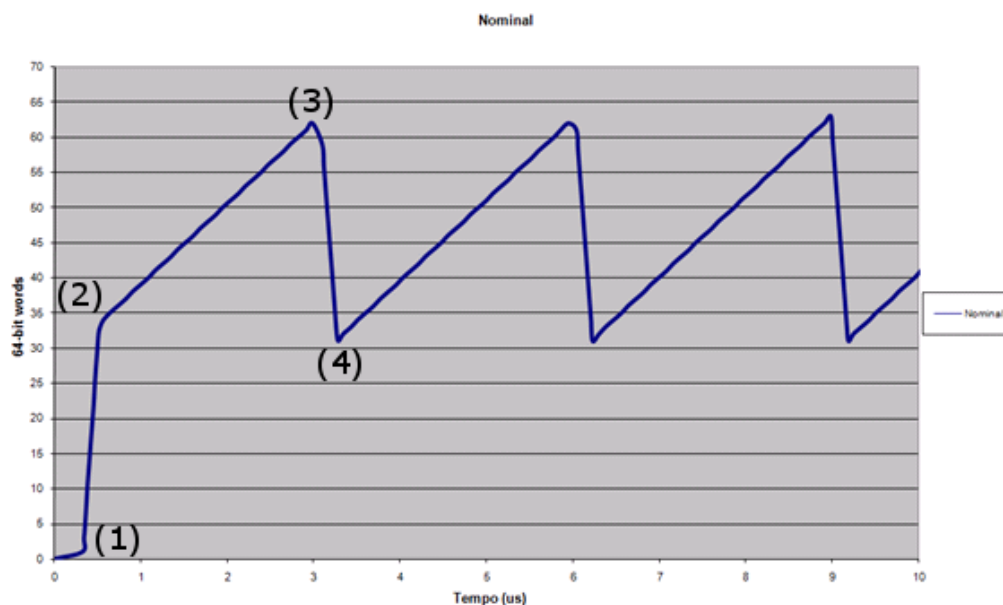


Figura 26 – Comportamento da FIFO Assíncrona. (1) Início da escrita; (2) Início da leitura; (3) Ocupação máxima, fim da carga útil de um quadro; (4) Ocupação mínima, fim do cabeçalho de um quadro.

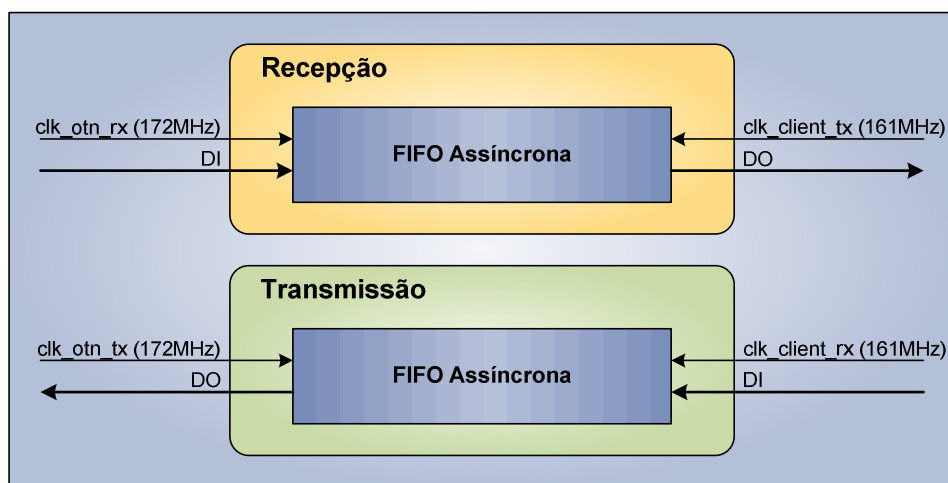


Figura 27 – Filas assíncronas, operando nas frequências nominais.

Após a obtenção dos dados de tempo e frequência relevantes à análise de comportamento das filas assíncronas, foi utilizado o componente FIFO18_36, presente na família de FPGAs Virtex-5 da

empresa Xilinx, para implementação de uma FIFO assíncrona de 64 bits de largura (palavras de 64 bits) e 512 endereços de profundidade, onde foram utilizados dois componentes FIFO18_36 paralelamente com configuração 32x512, onde uma fila recebe a parte alta de uma palavra de 64 bits (bits de índice 63 ao 32) e a outra a parte baixa (bits de índice 31 ao 0). A arquitetura desenvolvida para as filas assíncronas é apresentada na Figura 28. Também definiu-se o parâmetro *delta*, o qual corresponde à diferença entre os valores dos ponteiros de escrita e leitura do componente FIFO18_36. Toda a análise do comportamento das filas é baseada nas variações do *delta* de ocupação.

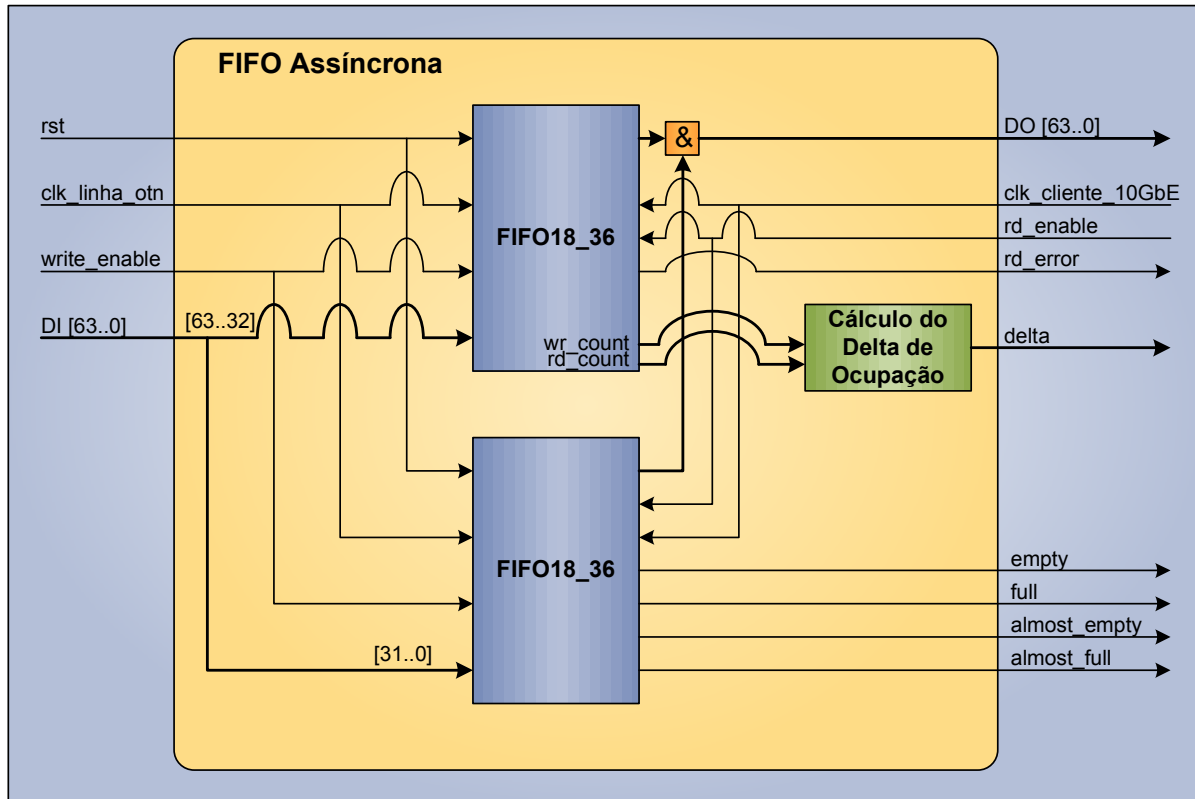


Figura 28 – Arquitetura da FIFO Assíncrona, utilizando o componente FIFO18_36 da família de FPGAs Virtex-5 da Xilinx.

As simulações feitas para a análise do comportamento das filas assíncronas têm como objetivo verificar se a variação resultante dos piores casos não causa o total preenchimento da fila ou esvaziamento da mesma. Por isso, um dado importante é o tempo de reação do VXCO, apresentado na Figura 25, que é de no máximo 1 ms, segundo dados da TERACOM. Sendo assim, foram feitas três simulações: caso nominal, Figura 29; pior caso para o enchimento da fila, ou seja, escrita com frequência da linha OTN +20 ppm e leitura com frequência do cliente 10GbE -100 ppm, Figura 30; pior caso para o esvaziamento da fila, ou seja, escrita com frequência da linha OTN -20 ppm e leitura com frequência do cliente 10GbE +100 ppm, Figura 31.

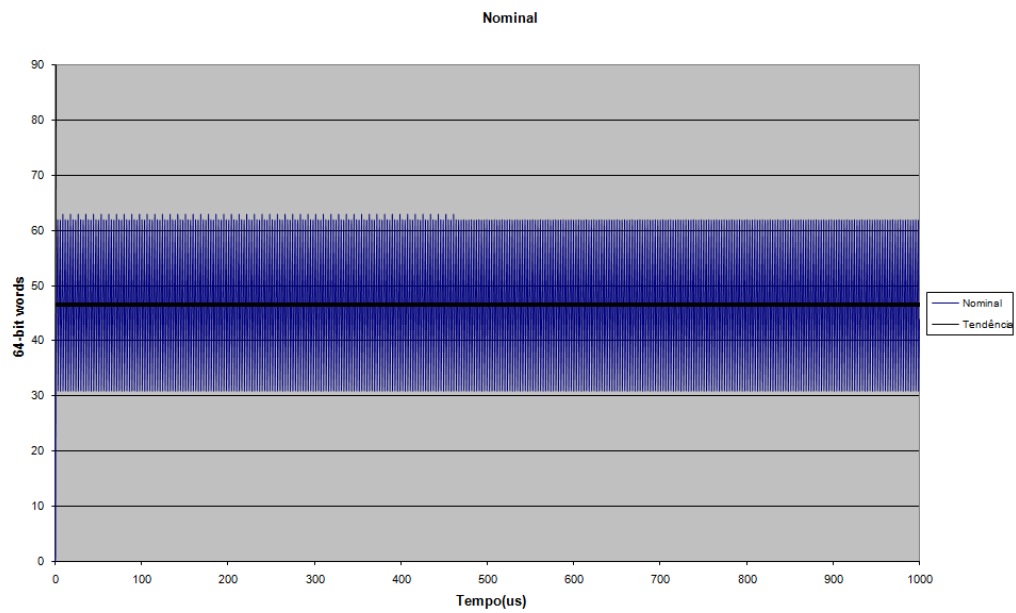


Figura 29 – Gráfico do delta de ocupação da FIFO assíncrona em caso de frequências nominais.

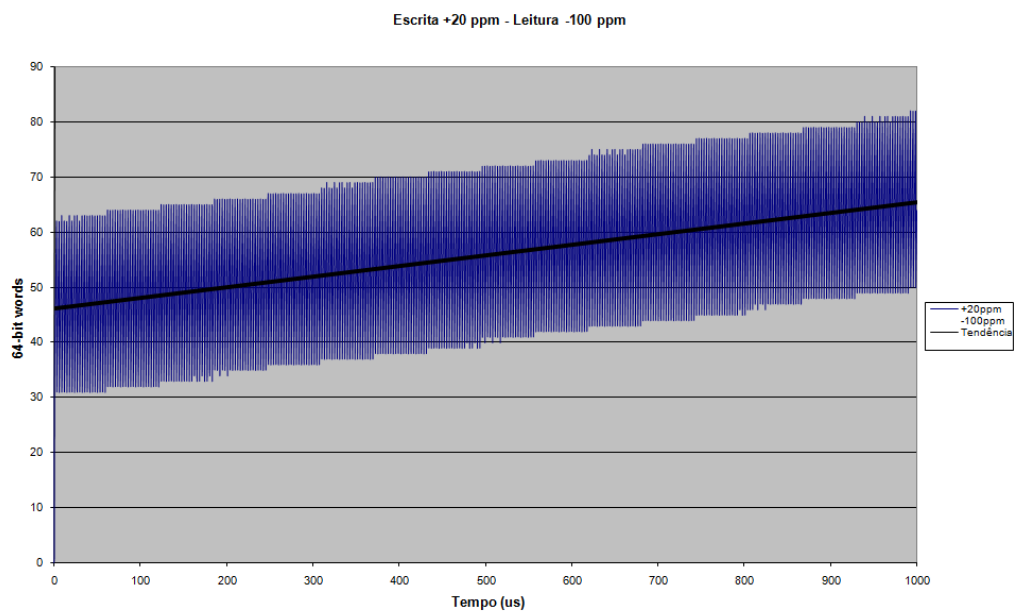


Figura 30 – Gráfico do delta de ocupação da FIFO assíncrona no pior caso onde acontece o enchimento da fila, ou seja, escrita com frequência da linha OTN +20ppm e leitura com frequência do cliente 10GbE -100ppm.

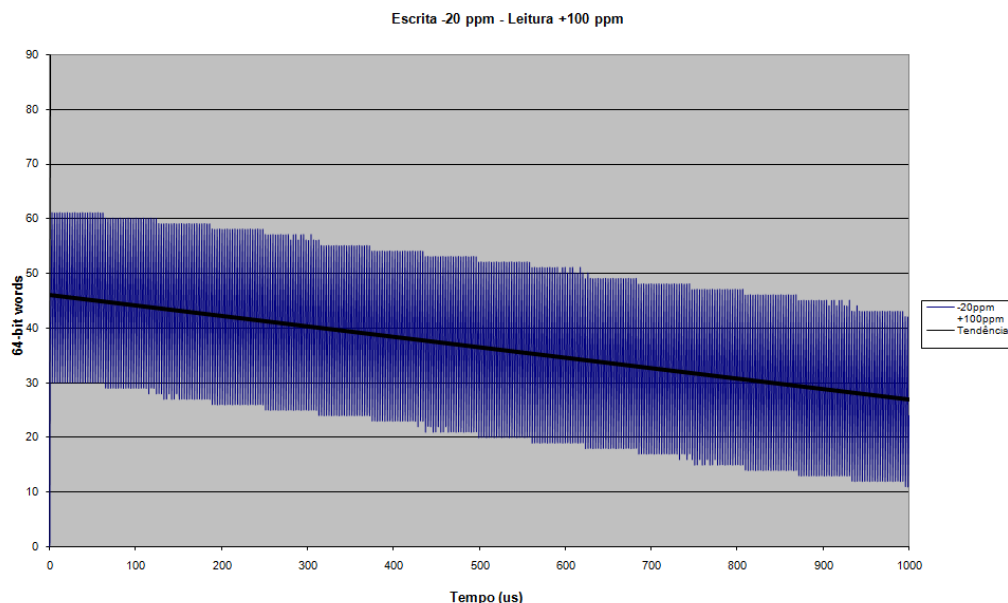


Figura 31 – Gráfico do delta de ocupação da FIFO assíncrona no pior caso onde acontece o esvaziamento da fila, ou seja, escrita com frequência da linha OTN -20ppm e leitura com frequência do cliente 10GbE +100ppm.

Feitas estas três simulações, se observou a necessidade de obter as médias de ocupação da fila, ou seja, quantas palavras a mais ou a menos do ponto médio se têm dentro de certo período de análise. O procedimento para a obtenção destes valores consiste de duas etapas. A primeira etapa é calcular a média de ocupação da fila para diferentes condições de frequência, durante uma janela de amostragem de 1000 palavras de 64 bits, cujos tempos de amostragem são apresentados na Tabela 15. A segunda etapa é executar o mesmo procedimento 256 quadros após a primeira amostragem para se obter uma segunda média de ocupação, cujos tempos entre as amostragens são apresentados na Tabela 15. Após a segunda amostragem é possível calcular a diferença entre as duas médias de ocupação, para se obter quantas palavras foram acrescentadas ou subtraídas da ocupação média da fila durante o tempo de análise.

Tabela 15 – Dados para Simulação de Comportamento da FIFO.

Dados para Simulação de Comportamento da FIFO	
Janela de Amostragem	
Palavras de 64 bits	1000
Tempo de Escrita -20 ppm (us)	5,792439076471
Tempo de Escrita -10 ppm (us)	5,792381154976
Tempo de Escrita Nominal (us)	5,792323232323
Tempo de Escrita +10 ppm (us)	5,792265309670
Tempo de Escrita +20 ppm (us)	5,792207388175
Tempo entre cada amostragem	
Quadros	256
Palavras de 64 bits	130560
Tempo de Escrita -20 ppm (us)	756,260845824053
Tempo de Escrita -10 ppm (us)	756,253283593710
Tempo de Escrita Nominal (us)	756,245721212121
Tempo de Escrita +10 ppm (us)	756,238158830533
Tempo de Escrita +20 ppm (us)	756,230596600189

As combinações de todas as variações de frequência calculadas resultam em 25 simulações, cujos resultados são apresentados na Tabela 16, onde é apresentada a diferença entre as ocupações médias amostradas em cada análise, para cada combinação de variações de frequência. Ou seja, quantas palavras de 64 bits a mais ou a menos se têm na fila.

Tabela 16 – Comportamento da FIFO Assíncrona.

Comportamento da FIFO Assíncrona		
Jitter de Escrita	Jitter de Leitura	Palavras de 64-bits deslocadas a cada 256 quadros
+20 ppm	-100 ppm	14
+20 ppm	-50 ppm	8
+20 ppm	0 ppm	2
+20 ppm	+50 ppm	-4
+20 ppm	+100 ppm	-10
+10 ppm	-100 ppm	13
+10 ppm	-50 ppm	7
+10 ppm	0 ppm	1
+10 ppm	+50 ppm	-5
+10 ppm	+100 ppm	-11
0 ppm	-100 ppm	12
0 ppm	-50 ppm	6
0 ppm	0 ppm	0
0 ppm	+50 ppm	-6
0 ppm	+100 ppm	-12
-10 ppm	-100 ppm	11
-10 ppm	-50 ppm	5
-10 ppm	0 ppm	-1
-10 ppm	+50 ppm	-7
-10 ppm	+100 ppm	-13
-20 ppm	-100 ppm	10
-20 ppm	-50 ppm	4
-20 ppm	0 ppm	-2
-20 ppm	+50 ppm	-8
-20 ppm	+100 ppm	-14

A partir da Tabela 16 é possível afirmar que em uma fila assíncrona de 512 posições, com ocupação média de 256 posições na frequência nominal, operando com as maiores variações de frequência toleradas, leva-se muito mais tempo para a fila esgotar ou esvaziar o seu espaço de armazenamento do que o tempo necessário para o controle de variação reagir e anular o *jitter* (máximo de 14 palavras em 0,756 ms, enquanto o tempo de controle do *jitter* é de no máximo 1ms).

4.3 Módulo Extrator de Carga Útil

O sinal transmitido pela linha OTN é recebido, deserializado, e entregue em palavras de 64 bits aos módulos da recepção no projeto X10GIGA que alinha, desembaralha, corrige possíveis erros e extrai a informação dos cabeçalhos recebidos, procedimentos executados pelos módulos apresentados na Figura 25 (página 25), antes de disponibilizar os quadros para o módulo de extração de carga útil. Uma máquina de estados, que controla se o sinal recebido é um quadro válido, gera um sinal que indica o início de quadros válidos, sinal *start* da Figura 32.

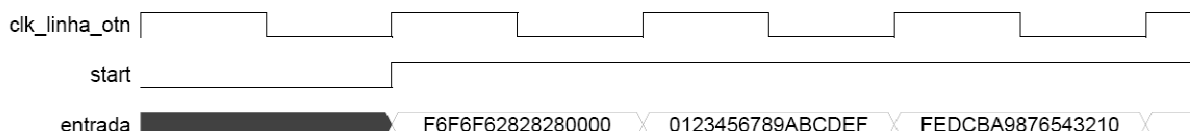


Figura 32 – Geração do sinal que indica o início de quadros válidos ao Extrator de Carga Útil.

Após o início da recepção de quadros válidos no módulo de extração de carga útil, este deve ser capaz de:

- Analisar os campos de *Justification Control* (JC) e determinar se há ou não justificativa no multi-quadro;
- Executar deslocamentos nas palavras de 64 bits recebidas para alinhá-las de acordo com a carga útil quando há justificativa;
- Escrever na fila assíncrona os dados que serão entregues ao cliente 10GbE;
- Gerar sinal de referência para o controle de *jitter* externo.

A Figura 39 (página 39) apresenta a arquitetura do módulo de extração de carga útil desenvolvido. Nesta Figura, o item 1 apresenta o módulo de votação. Este módulo verifica os bits de JC, apresentados na Tabela 17, presentes nos três primeiros quadros de um multi-quadro e disponibiliza o resultado para o módulo de controle de justificativa, item 2 da Figura 39.

Tabela 17 – Interpretação do campo *Justification Control* (JC). Adaptado de [ITU1].

Interpretação do campo Justification Control (JC), após a votação dos bits 7 e 8				
bits	7	8	NJO	PJO
	0	0	não utilizado	byte de dados
	0	1	byte de dados (justificativa)	byte de dados
	1	0 (Nota)	não utilizado	byte de dados
	1	1	não utilizado	não utilizado (justificativa)
Nota: Um circuito de mapeamento não gera este código. Porém, devido a erros no quadro o código pode ser recebido.				

O módulo Controle de Justificativa, item 2 da Figura 39, é responsável pelo controle de toda a manipulação dos dados de entrada do Extrator de Carga Útil, até a escrita na fila assíncrona, item 8 da Figura 39. De acordo com os resultados disponibilizados pelo módulo de votação após o terceiro quadro de cada multi-quadro o controle de justificativa decide que atitude deve ser tomada tomando em conta os procedimentos executados até então, em função de um contador de

justificativas. Devido ao fato da justificativa ser feita de 8 em 8 bits e trabalharmos com palavras de 64 bits, se faz necessário o deslocamento das palavras de 64 bits para que estas contenham a justificativa executada. Para este processo de deslocamento é utilizado o módulo Deslocador, Figura 33, que tem como entradas a palavra “atual” e o “resto” da entrada anterior do Extrator de Carga Útil, item (3) da Figura 39. Este módulo tem a capacidade de deslocar de 8 a 56 bits, de acordo com o valor do sinal *deslocamento*, como é apresentado na Tabela 18.

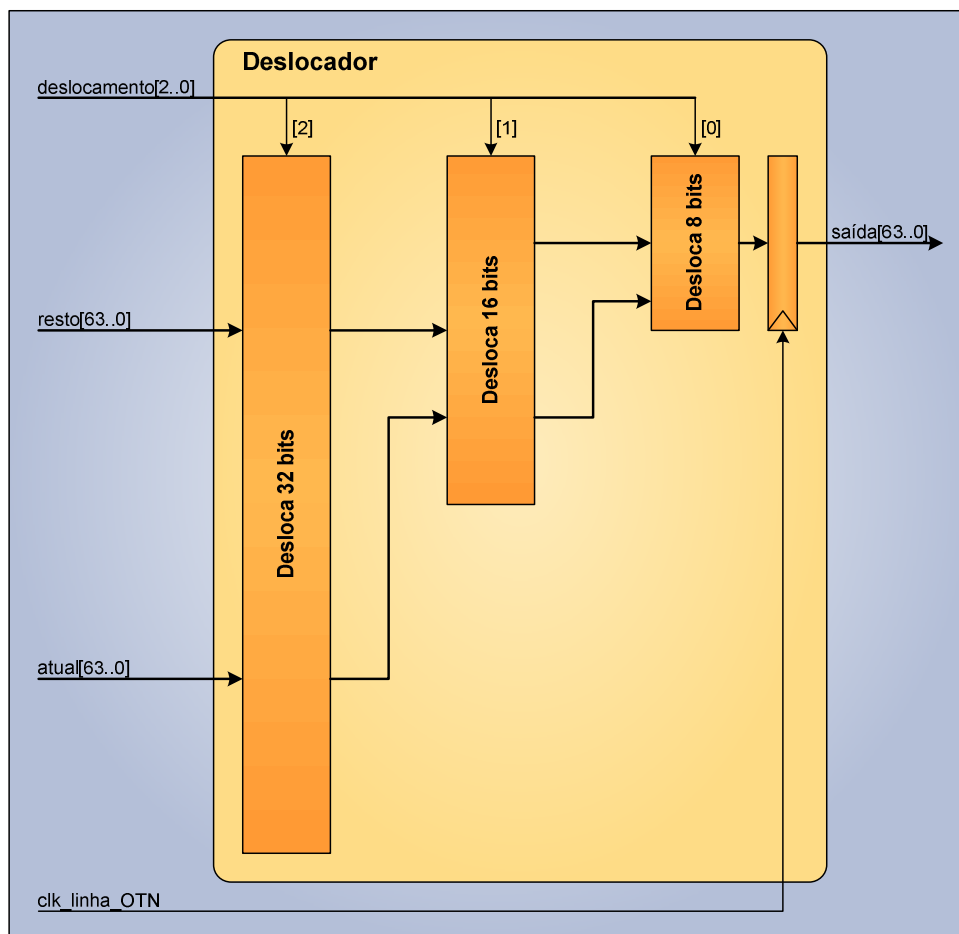


Figura 33 – Deslocador multi-estágio.

Tabela 18 – Interpretação do sinal *deslocamento* do módulo Deslocador.

Interpretação do Sinal <i>deslocamento</i>				
bits	2	1	0	Deslocamento (bits)
	1	1	1	56
	1	1	0	48
	1	0	1	40
	1	0	0	32
	0	1	1	24
	0	1	0	16
	0	0	1	8
	0	0	0	0

O sinal *enable_resto* controla o fluxo de dados que serão utilizados como carga útil, item 4 da Figura 39. Quando não é necessário executar deslocamento nas palavras de entrada, os dados que

saem do registrador R1 são os dados que chegam ao sinal *resto*, a partir do multiplexador controlado pelo sinal *mux_resto*. Logo após, ao passarem pelo módulo Deslocador, item 3 da Figura 39, sem deslocamentos, os dados chegam à entrada da fila assíncrona, sinal *DI* do item 8 da Figura 39, através do multiplexador que é controlado pelo sinal *mux_fifo*. Por fim, os dados são escritos na fila de acordo com o sinal *write_enable*. Este processo é exemplificado na Figura 34, onde é possível observar que as duas primeiras palavras de entrada, cabeçalhos, são ignoradas e apenas a carga útil é escrita na fila.



Figura 34 – Extração de carga útil. Caso: contador de justificativas zerado e/ou justificativa não é necessária.

O contador de justificativas é incrementado sempre que há uma justificativa negativa, ou seja, um byte a mais no multi-quadro, e decrementado sempre que há justificativa positiva, ou seja, um byte a menos no multi-quadro. Caso o contador esteja em zero e ocorra uma justificativa positiva, então, o contador é ajustado para o valor sete. Analogamente, quando ocorre uma justificativa negativa e o contador está em sete, este é ajustado para o valor zero. Os procedimentos executados em virtude da ocorrência de justificativa(s) são:

- **Justificativa negativa quando o acumulador de justificativas está zerado:** neste caso um byte que faz parte da carga útil está na segunda palavra de cabeçalho do quarto quadro do multi-quadro. Para inserir este byte na fila, alinhado com a primeira palavra da área de carga útil, se faz necessário um deslocamento de 56 bits na palavra do cabeçalho juntamente com a primeira palavra da área de carga útil. Este procedimento é apresentado na Figura 35. Em virtude do deslocamento, sempre restará bits da última palavra deslocada e estes bits serão utilizados no próximo deslocamento com a próxima palavra.

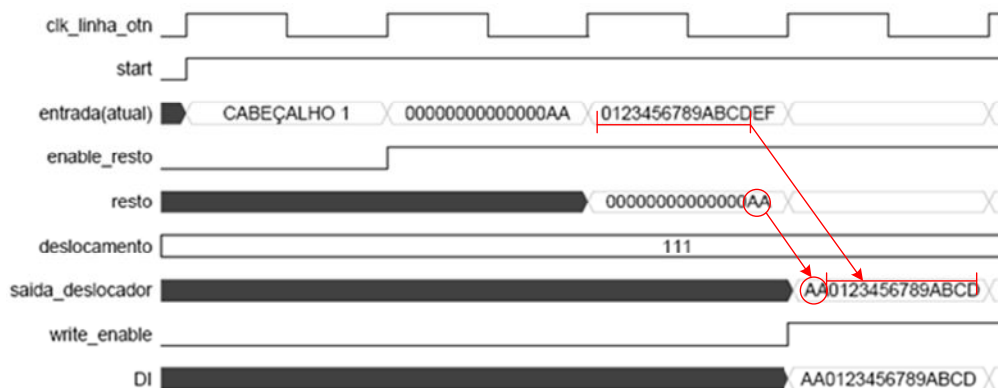


Figura 35 – Extração de carga útil. Caso: primeira justificativa negativa.

- **Justificativa negativa quando o contador está com valores entre 1 e 6:** como toda medida de justificativa resulta em palavras de “resto”, a partir do equivalente à segunda justificativa negativa consecutiva, é necessário que a palavra de *resto* seja concatenada com os 8 bits menos significativos da segunda palavra de cabeçalho, no lugar de seus 8 bits menos significativos e que os 56 bits menos significativos da palavra de *resto* se tornem os 56 bits mais significativos. Este processo de concatenação é apresentado no sinal *resto_njo* da Figura 36, e seu caminho pode ser observado no item 5 da Figura 39. Neste caso, o sinal *resto* contém a última palavra utilizada para o último deslocamento do quadro anterior. Esta informação é mantida por conta do controle do sinal *enable_resto*. O deslocamento é feito com a palavra *atual*, que é a saída do multiplexador controlado por *mux_atual*, quando não ocorre o processo de concatenação da palavra atual com zeros, e o *resto_njo* que é a saída do multiplexador controlado por *mux_resto* quando ocorre o processo de concatenação já descrito. É possível observar, na Figura 36, que a primeira palavra a ser escrita na fila contém os 16 bits menos significativos da palavra do sinal *resto_njo* e os 48 bits mais significativos da primeira palavra da carga útil, sinal *atual*. Após a utilização da palavra concatenada o processo segue de maneira semelhante a quando há justificativa negativa e o contador de justificativas está zerado. Pois, o controle do multiplexador faz com que ele volte a fornecer o sinal de *resto* sem concatenação para o deslocador.

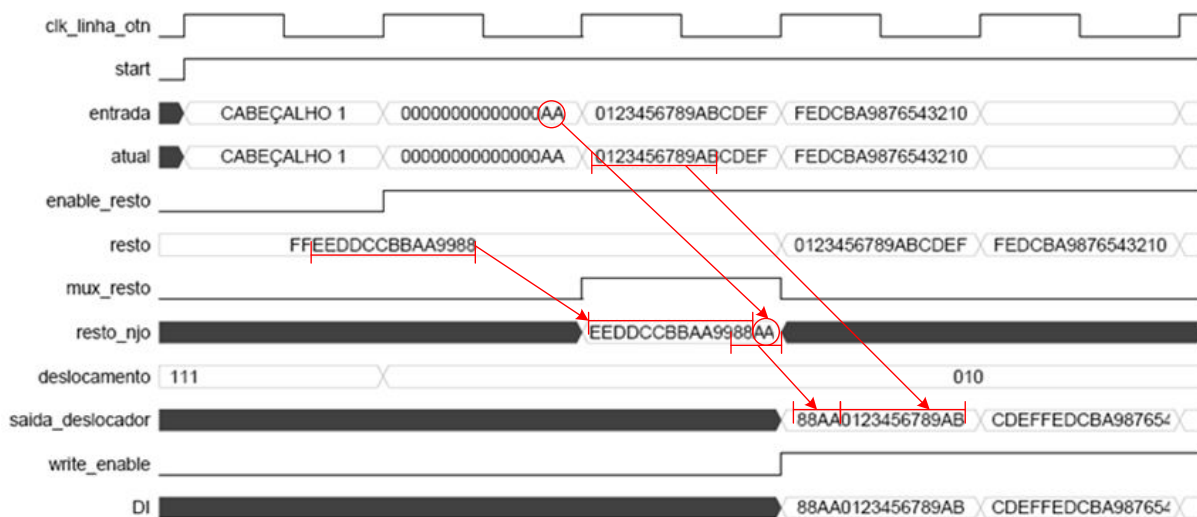


Figura 36 – Extração de carga útil. Caso: segunda justificativa negativa.

- **Justificativa negativa quando o contador está com o valor 7:** quando o contador de justificativas está com o valor 7, o equivalente a 7 justificativas negativas consecutivas, e acontece uma nova justificativa negativa, o processo de concatenação do sinal *resto_njo* ocorre, como explicado anteriormente. Porém, como se têm acumuladas 8 justificativas, temos então um acréscimo de 8 bytes, ou seja, uma palavra de 64 bits que é escrita na fila sem que aconteça deslocamento no módulo Deslocador, que tem nesse caso o sinal *deslocamento* com o valor “000”.

- **Justificativa positiva quando o acumulador de justificativas está zerado:** neste caso um byte que não faz parte da carga útil (byte de justificativa) está na primeira palavra da carga útil do quarto quadro do multi-quadro. Para retirar este byte e fazer com que ele não chegue à fila, se faz necessário um deslocamento de 8 bits na primeira palavra da carga útil juntamente com a segunda palavra da carga útil. Procedimento que é apresentado na Figura 37. Em virtude do deslocamento sempre restará bits da última palavra deslocada e estes bits serão utilizados no próximo deslocamento com a próxima palavra.

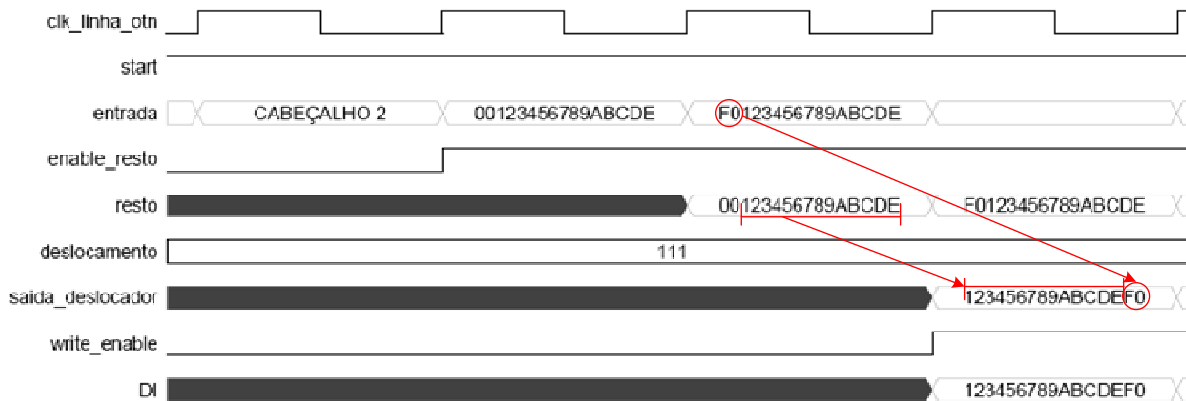


Figura 37 – Extração de carga útil. Caso: primeira justificativa positiva.

- **Justificativa positiva quando o contador está com valor entre 7 e 2:** como toda medida de justificativa resulta em palavras de “resto”, a partir do equivalente a segunda justificativa positiva consecutiva, é necessário que a palavra atual seja concatenada com zeros no lugar de seus 8 bits menos significativos e que os 56 bits menos significativos da palavra atual se tornem os 56 bits mais significativos. Este processo de concatenação é apresentado no sinal *atual_pjo* da Figura 38, e seu caminho pode ser observado no item 6 da Figura 39. Neste caso, o sinal *resto* contém a última palavra utilizada para o último deslocamento do quadro anterior, esta informação é mantida por conta do controle do sinal *enable_resto*. O deslocamento é feito com a palavra *atual_pjo*, que é a saída do multiplexador controlado por *mux_atual*, quando ocorre o processo de concatenação da palavra atual com zeros, e o *resto*. É possível observar, na Figura 38, que a primeira palavra a ser escrita na fila contém os 56 bits menos significativos da palavra do sinal *resto* e os 8 bits mais significativos da palavra do sinal *atual_pjo*. Após a utilização da palavra concatenada o processo segue de maneira semelhante a quando há justificativa positiva e o contador de justificativas está zerado. Pois, o controle do multiplexador faz com que ele volte a fornecer o sinal de entrada sem concatenação para o deslocador e o valor do sinal *deslocamento* é atualizado para o próximo deslocamento necessário.

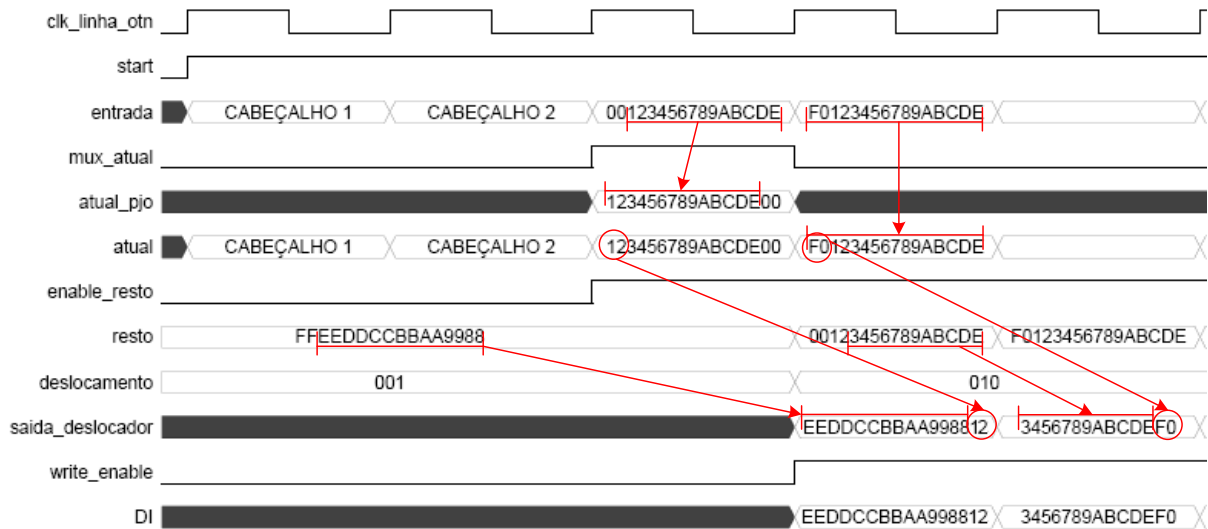


Figura 38 – Extração de carga útil. Caso: segunda justificativa positiva.

- Justificativa positiva quando o contador está com o valor 1:** quando o contador de justificativas está com o valor 1, o equivalente a 7 justificativas positivas, e acontece uma nova justificativa positiva, o processo de concatenação do sinal *atual_pjo* ocorre, como explicado anteriormente. Porém, como se têm acumuladas 8 justificativas, temos então um acréscimo de 8 bytes, ou seja, uma palavra de 64 bits que é escrita na fila. O deslocamento executado neste ciclo é mesmo executado último quadro antes da palavra completa, o módulo Deslocador tem nesse caso o sinal *deslocamento* com o valor “111”. Após sair do deslocador o sinal é atrasado por um registrador em um ciclo por questões de sincronização, para que possa ser entregue as palavras da carga útil imediatamente após a palavra completa devido ao equivalente às 8 justificativas positivas consecutivas. O sinal é entregue à fila através de um multiplexador que é controlado pelo sinal *mux_fifo*, este caminho está indicado como item 7 da Figura 39. Depois do deslocamento da palavra *atual_pjo* o deslocador recebe no sinal *deslocamento* o valor “000” para que passe as próximas palavras da carga útil sem executar deslocamento.

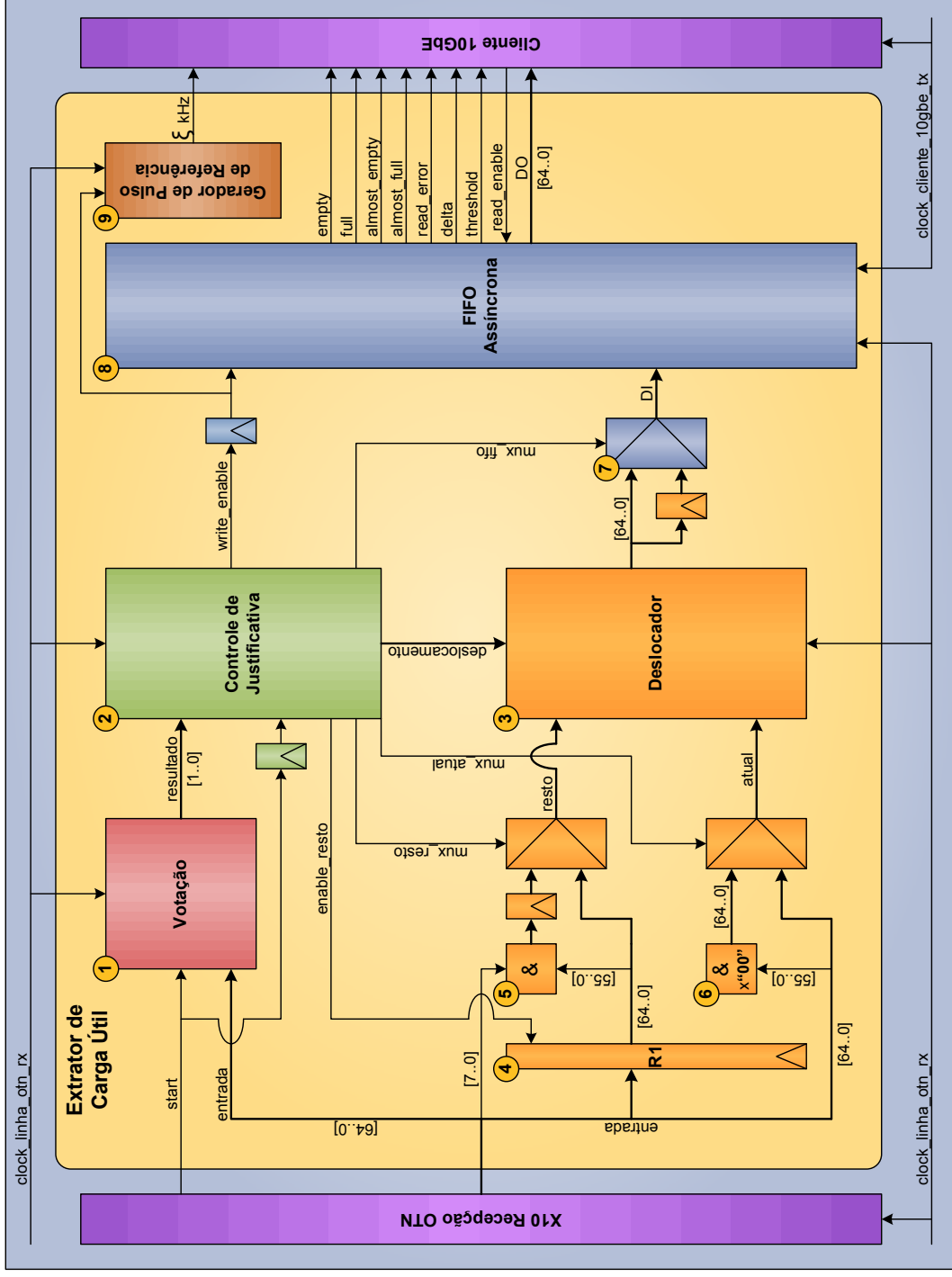


Figura 39 – Extrator de Carga Útil 10GbE de quadros OTN. (1) Módulo de extração de *Justification Control* (JC); (2) Módulo que faz o controle de justificativa; (3) Módulo de deslocamento; (4) Registrador de entrada do circuito; (5) Concatenação do sinal *resto*, devido a justificativas; (6) Concatenação de justificativas; (7) Controle para atraso do sinal de saída do Deslocador, devido a justificativas; (8) Fila Assíncrona; (9) Gerador de pulsos de referência para controle de variação na taxa do cliente 10GbE.

4.4 Módulo Gerador de Pulsos de Referência

A sincronização, em comunicação serial, se faz indispensável para o seu correto funcionamento, pois o receptor precisa amostrar o dado recebido, no intervalo, em que seja garantido que ele esteja estável, assim, evitando perdas ou dados inválidos. Os dados 10GbE transmitidos, são mapeados para percorrer a rede OTN, a uma frequência mais elevada, para então chegar no cliente, que precisa estar sincronizado com a origem, na outra ponta da comunicação. Para isso, é recuperado o sinal de relógio do cliente, retirando-o do fluxo de dados da carga útil recebida.

A Figura 40 ilustra o funcionamento da sincronização entre os clientes 10GbE, com os dados, mapeados, navegando na rede OTN, e o sinal de relógio da origem, com *jitter*, sendo recuperado no destino.

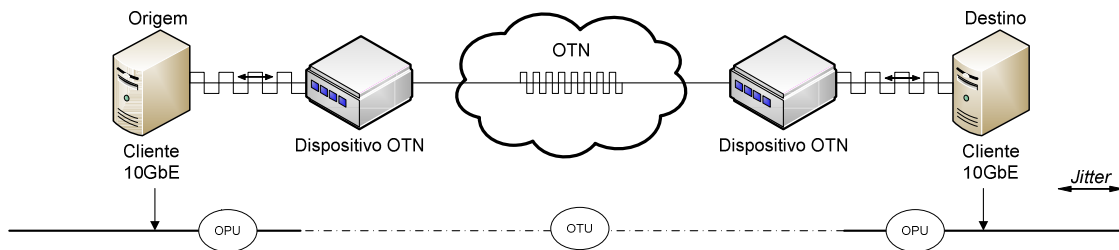


Figura 40 – Ilustração da recuperação de relógio.

O módulo desenvolvido é responsável pela extração do sinal de relógio do cliente de origem, dos dados de carga útil recebidos, para geração de um pulso de referência que servirá para sincronização entre os dois extremos da comunicação. Os dados que saem do extrator de carga útil são transmitidos para o cliente a uma taxa ajustada de acordo com a frequência de referência. O circuito que faz esse ajuste foi desenvolvido pela TERACOM, e trata-se de um PLL (*Phase-locked loop*), sendo que parte dele é implementado dentro do FPGA, como mostra a Figura 41, que contém valores de quando o cliente é do tipo STM-64.

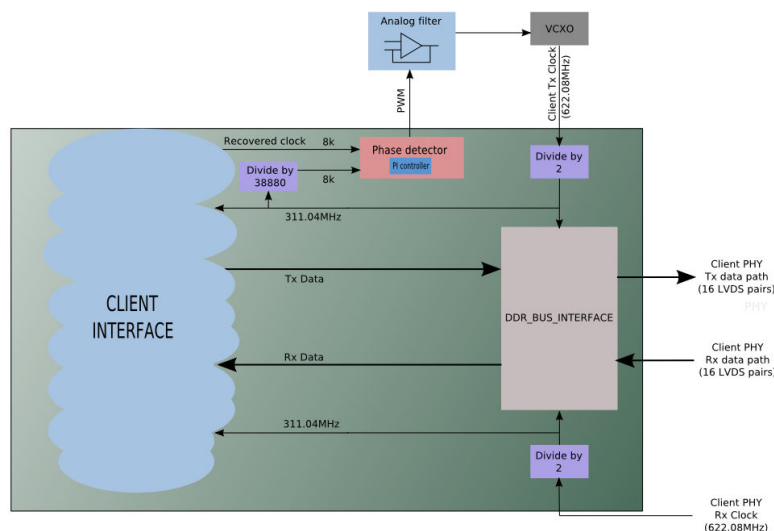


Figura 41 – Circuito para recuperação do relógio com valores para o mapeamento de um cliente STM-64 [TER02].

O oscilador controlado por tensão (VCXO) gera a taxa de transmissão dos dados para o cliente, de onde deriva a frequência de leitura da fila do extrator de carga útil. O sinal que sai do VCXO é dividido para ser comparado com a frequência de referência. A diferença de fase é aplicada a um controlador PI (Proporcional-Integral) que gera uma saída PWM (Pulse-Width Modulation). Havendo diferença entre o sinal recuperado e o do oscilador, fará com que o PWM atue sobre o VCXO fazendo com que sua frequência torne-se igual à recuperada. A Figura 42 mostra um diagrama de blocos representativo de um PLL padrão.

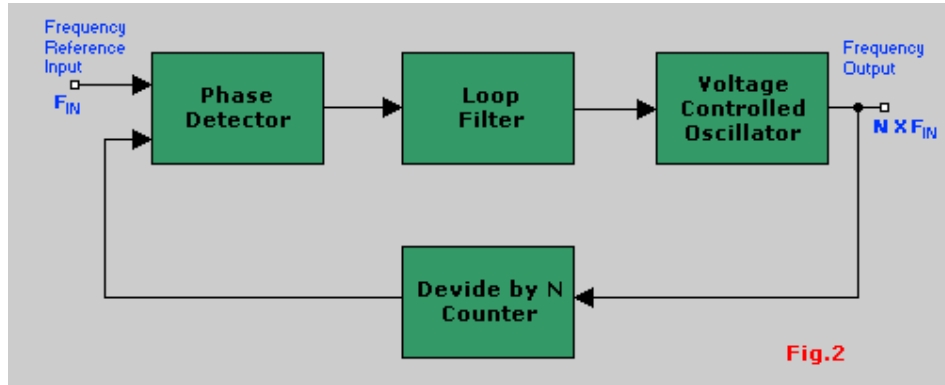


Figura 42 – Diagrama de blocos de um PLL [TER02].

A derivação da frequência de referência, a partir do sinal recuperado da rede, é feita pela contagem do número de palavra de 64 bits de carga útil presentes nos quadros OTN recebidos. O pulso é gerado quando o contador do módulo atinge o número equivalente ao do divisor da frequência do cliente. A frequência de referência escolhida para o mapeamento 10GbE foi de 7,8125kHz, dado que o divisor do PLL e do módulo devem ser números inteiros, buscou-se um número de palavras que resultasse numa frequência próxima a 8kHz, que é a usualmente utilizada nos PLL's, mas que também fosse um valor com poucas casas decimais para a melhor visualização nas simulações. A frequência do cliente (de 64 bits), calculada na Tabela 11, é dividida por 20625 para chegar à frequência de referência utilizada, como mostra a equação (9).

$$Freq_{ref} = \xi = \frac{161,1328125\text{MHz}}{20625} = 7,8125\text{kHz} \quad (9)$$

A contagem de palavras de carga útil é incrementada a todo ciclo de relógio em que a escrita na fila está habilitada pelo extrator. Dado que as palavras de FEC e cabeçalho não são escritos na fila, calculamos o número de quadros e multi-quadros necessários para geração de um pulso, dividindo o valor do divisor pelo número de palavras da carga útil, como mostram as equações (10) e (11), respectivamente.

$$\#Quadros = \frac{20625}{476} \cong 43,32983 \quad (10)$$

$$\#MultiQuadros = \frac{20625}{4 \times 476} \cong 10,8324 \quad (11)$$

O fato do número de quadros não ser inteiro, faz com que a frequência de referência oscile em torno de 7,8125kHz. Isso não causa problema, pois, num longo período é como se não houvesse

variação, dado que as diferenças entre a frequência de referência e o sinal derivado do VCXO se anulam ao longo de tempo, como exposto na Tabela 19. O valor do divisor do sinal recuperado e o do utilizado no PLL devem ser os mesmos, porém, a frequência utilizada no módulo gerador é a metade da correspondente que alimenta o PLL, como mostra a Figura 25, logo, o valor de N na Figura 42 deve ser igual a 41250, o dobro do utilizado no módulo desenvolvido.

Tabela 19 – Comportamento da Frequência do Pulso de Referência.

Comportamento da Frequência (em kHz) do Pulso de Referência										
Casos	1ms	2ms	3ms	4ms	5ms	6ms	7ms	8ms	9ms	10ms
NJO + 20ppm	7,8173	7,817	7,805	7,817	7,817	7,817	7,805	7,817	7,817	7,8053
Nominal	7,8165	7,8165	7,8045	7,8165	7,8165	7,8045	7,8165	7,8165	7,8045	7,8165
PJO - 20ppm	7,8156	7,8156	7,8039	7,816	7,816	7,8156	7,816	7,8039	7,816	7,816
Ideal	7,8125	7,8125	7,8125	7,8125	7,8125	7,8125	7,8125	7,8125	7,8125	7,8125

A Tabela 19 mostra os resultados da simulação do gerador de pulsos de referência. Foi considerada a variação do período dentro da janela de um milissegundo de simulação. Os períodos foram transformados em frequência para mostrar o comportamento do pulso de referência em relação a um pulso constante ideal. Pode-se observar que no caso nominal a frequência do pulso de referência oscila em torno do valor ideal, porém, a soma das diferenças tende a se anular. Apresenta-se também na tabela o comportamento quando existe *jitter* nos dados do cliente de origem, ou seja, os quadros chegam com justificativa, somado a isso há ocorrência de variação na rede OTN, formando os dois piores casos, aonde, a diferença entre a escrita e a leitura da fila chega aos 65ppm.

No caso de presença de *jitter* no sinal recuperado, as justificativas irão aumentar ou diminuir a quantidade de carga útil dentro do multi-quadro, o que implica em escrever por mais ou menos ciclos na fila, respectivamente. Por outro lado, *jitter* no sinal da linha OTN, fará com que a frequência de escrita na fila se altere, diferentemente do caso anterior, em que o número de escritas varia. As duas situações em que o *jitter* aparece afetam a frequência de referência, logo, o PLL atuará sobre o oscilador para que o sinal gerado pelo VCXO se adapte, assim, não deixando que a fila encha ou fique vazia.

A conclusão da placa desenvolvida para o projeto X10GIGA está prevista para a metade de dezembro deste ano. Sem a placa e os módulos do PLL, desenvolvidos pela TERACOM, torna-se impraticável uma real verificação do comportamento da fila do extrator, relacionado à variação da frequência de leitura, que provém do VCXO que sofre as ações do PLL de acordo com a diferença da frequência de referência gerada pelo módulo desenvolvido. Nas reuniões do projeto foram discutidas informações relevantes para o desenvolvimento do gerador da frequência de referência. A informação do tempo de resposta do PLL serviu para definir o período das simulações realizadas, já a especificação de que o número do divisor do módulo desenvolvido deve ser genérico, para adaptação de outros mapeamentos, tornou-se característica do gerador de pulso de referência.

A Figura 43 destaca o bloco do gerador de pulso de referência desenvolvido e exibe um pseudocódigo que explica o funcionamento do mesmo. O sinal gerado pelo bloco é ilustrado no diagrama de tempo da Figura 44, que mostra o contador sendo incrementado quando a escrita na fila é habilitada, até atingir o valor do divisor, representado por N na Figura 43, onde o pulso permanece ativo por um ciclo do relógio.

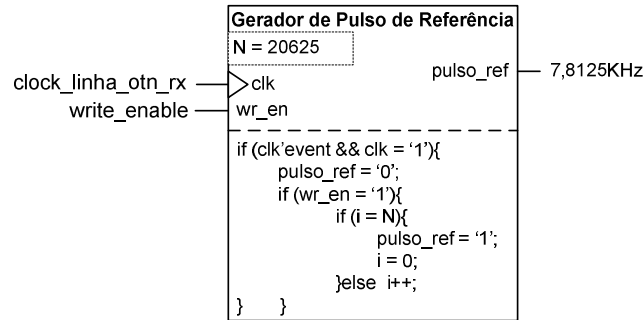


Figura 43 – Pseudocódigo explicativo do bloco gerador de pulso de referência.

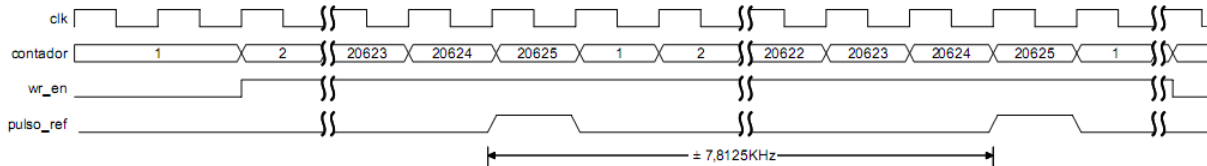


Figura 44 – Ilustração do funcionamento da geração do pulso de referência.

4.5 Módulo Inserir de Carga Útil

Um módulo de interface com a fibra óptica, externo ao *framer*, é responsável por paralelizar o fluxo de dados do cliente 10GbE 10,3125 Gbps em 16 canais diferenciais (LVDS), cada um a uma taxa de 644,53125 Mbps. Essa taxa é muito alta para se trabalhar dentro do FPGA. A solução utilizada pode ser compreendida com a Figura 45, que mostra a utilização do BUFR para dividir o sinal de relógio e registradores DDR (Double Data Rate) para amostrar os dados nas duas bordas de sensibilidade.

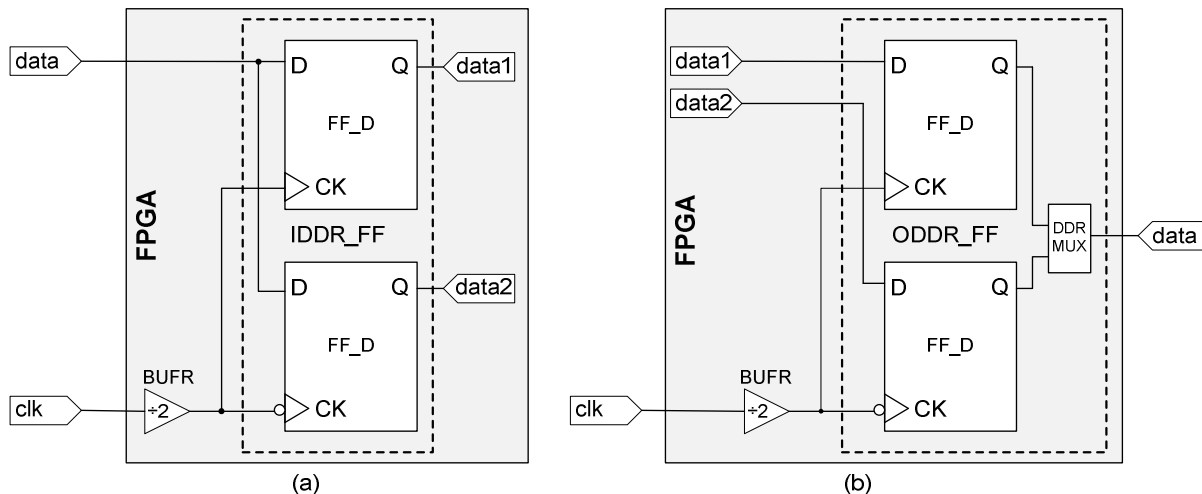


Figura 45 – Diagrama de blocos dos registradores DDR de entrada (a) e saída (b) do FPGA.

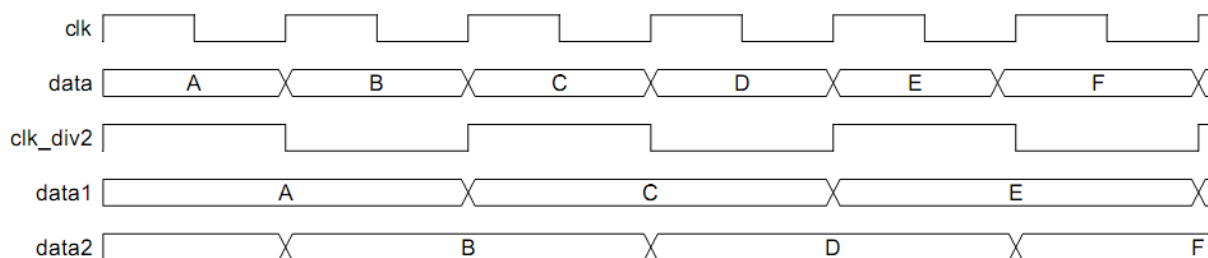


Figura 46 – Diagrama de tempo com o comportamento do IDDR da Figura 45(a).

O diagrama de tempo da Figura 46 ilustra o comportamento de um dos 16 IDDR (Input DDR) Figura 45(a) que se conectam com cada canal de entrada, formando palavras de 32 bits a uma taxa aproximada de 322,65 Mbps. A geração do sinal saída é feito com mesmo princípio, invertido. A interface com os pares diferenciais é funcionalidade do módulo DDR_BUS_INTERFACE desenvolvido pelo grupo de trabalho da TERACOM junto com os conversores 32/64 e 64/32 bits apresentados na Figura 47.

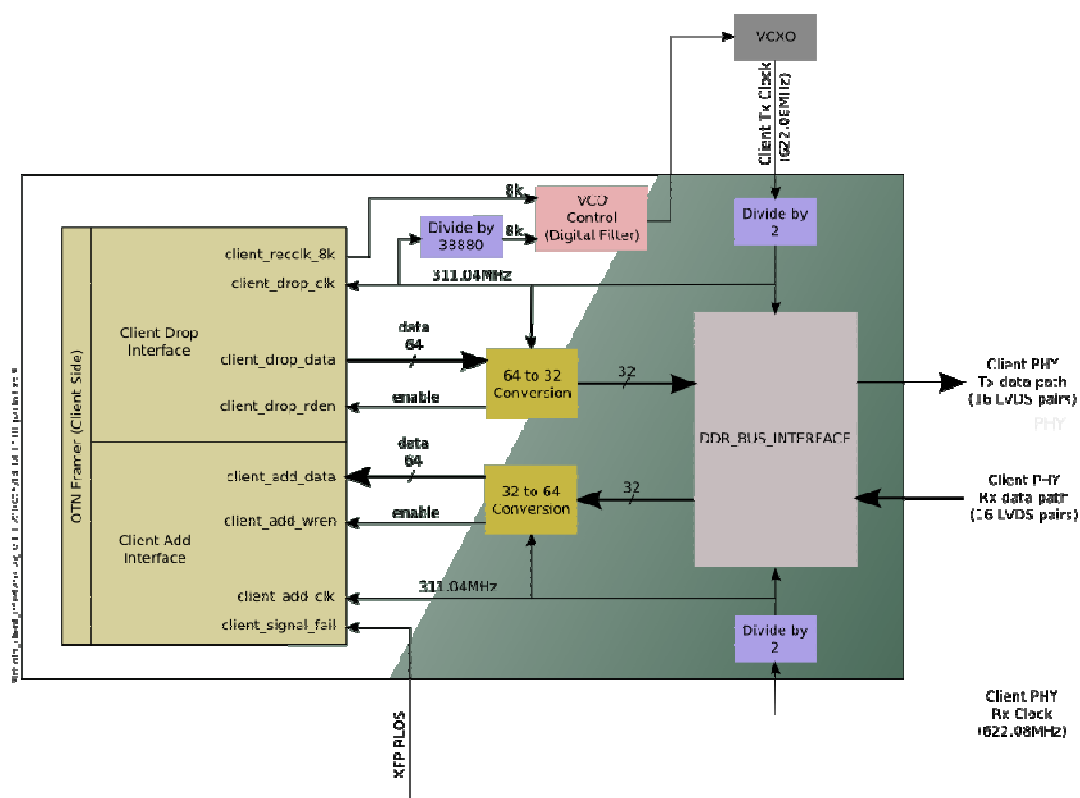


Figura 47 – Diagrama de blocos da interface com o cliente [TER01].

Finalmente, a fila do transmissor é carregada, ininterruptamente, com os dados do cliente a uma frequência nominal de escrita, igual a 161,13 MHz, de modo que deve ser feito um controle para que a fila não estoure ou esvazie completamente quando houver variações nessa frequência, devido ao *jitter* provindo do sinal do cliente.

O módulo insersor de carga útil desenvolvido tem como principais funções:

- controle da leitura da fila com os dados do cliente a serem transmitidos;
- controle da ocupação da fila;
- inserção de justificativa;
- gerar o *stream* de dados para ser codificado, embaralhado e transmitido.

Considerando que cada quadro OTN contém 510 palavras de 64 bits, podemos dividi-lo como na Figura 48 abaixo.

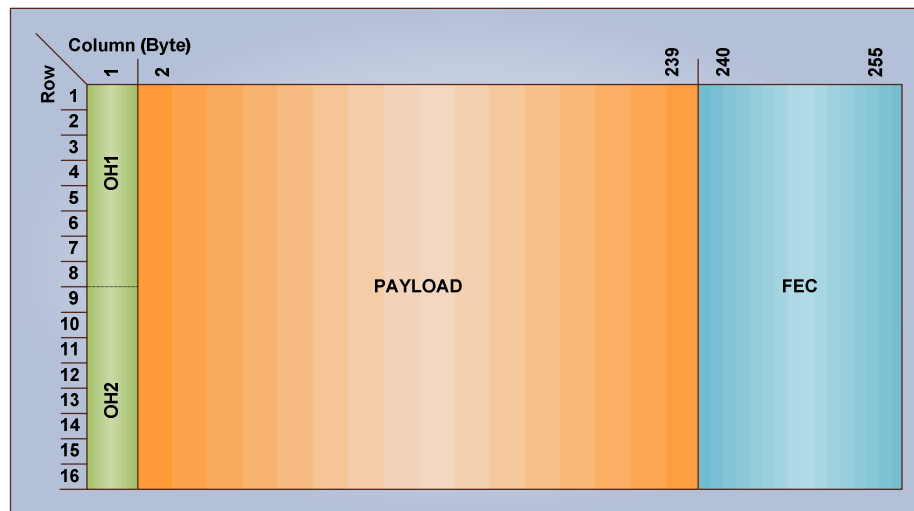


Figura 48 – Divisão do quadro OTN em áreas de palavras de 64 bits.

O *stream* de transmissão do quadro é ilustrado no diagrama de tempo da Figura 49. Podemos observar que a carga útil é inserida nos 476 ciclos de payload, ou seja, nesse momento a fila está esvaziando, porém, nos outros 34 ciclos a fila enche rapidamente por não estar sendo lida, somente a escrita está habilitada para guardar os dados do cliente que chegam constantemente. Desse modo, o gráfico de ocupação da fila se comporta como uma serra (Figura 26, página 28), variando entre um máximo e um mínimo constantes, no caso nominal.

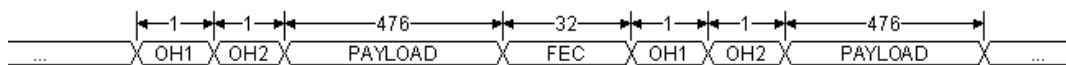


Figura 49 – Diagrama de tempo da transmissão do quadro OTN.

O ponto médio entre a ocupação máxima e mínima deve ser a metade da fila para que tenha o máximo de folga antes de atingir os estados de fila cheia ou vazia. O tamanho da fila de interface com o cliente utilizado no projeto é de 512 palavras, logo, a ocupação deve excursionar em torno da metade da sua totalidade, no caso ideal. Portanto, quando o sistema é iniciado, o controle do insersor aguarda a fila encher até um determinado ponto, para quando entrar em regime de operação, os pontos de máximo e mínimo fiquem a mesma distância da metade da ocupação da fila. A latência causada pelo processo inicialização é de 1685,56 ns, aproximadamente, o que corresponde um pouco mais do que a metade de um quadro, ou seja, 291 palavras de 64 bits.

Considerando que a metade da fila é 255 e observando o comportamento da ocupação, no caso nominal, é possível determinar os valores exatos de máximo e mínimo. A Figura 50 mostra os números relevantes a serem considerados para o entendimento do comportamento da fila e da atuação do módulo desenvolvido.

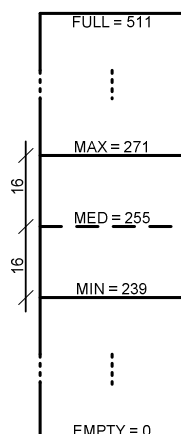


Figura 50 – Intervalo de ocupação da fila.

Os pontos de ocupação máximos e mínimos ocorrem, respectivamente, nos instantes em que o consumo da fila é suspenso e quando reinicia. Assumindo que a taxa de transmissão da linha se comporta de modo ideal, sem variação, a ultrapassagem desses limiares indica a presença de *jitter* no sinal do cliente, ou seja, a fila está enchendo ou esvaziando mais rapidamente. Quando isso ocorre, o ponto médio de ocupação se desloca, fazendo com que o controle de inserção aja para absorver essa defasagem entre escrita e leitura, colocando mais ou menos carga útil no quadro a ser transmitido, utilizando os bytes de justificativa. Para evitar que o próprio módulo do insersor injete *jitter* na linha, com a ocorrência excessiva de justificativas, devido a limites muito justos, é permitido que o ponto médio excursione, sem que o máximo e o mínimo sejam ultrapassados.

A inserção de justificativa é feita em cada multi-quadro, sendo que nos três primeiros são colocados, nos campos de JC, os votos de controle de justificativa, definidos pela condição da ocupação extrapolar os limites de máximo e mínimo. Nominalmente os votos são nulos, se a fila estiver mais cheia, é inserido um voto para justificativa negativa (Figura 51), caso contrário, voto vai para justificativa positiva (Figura 52). No quarto quadro, a eleição é feita, e o voto majoritário define como serão preenchidos os bytes de PJO e NJO.

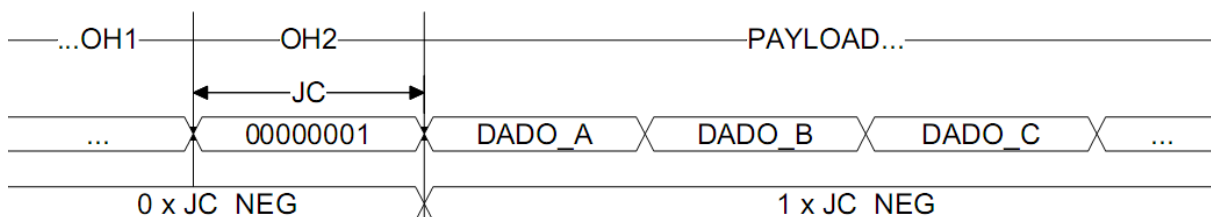


Figura 51 – Ilustração da inserção do voto de justificativa negativa.

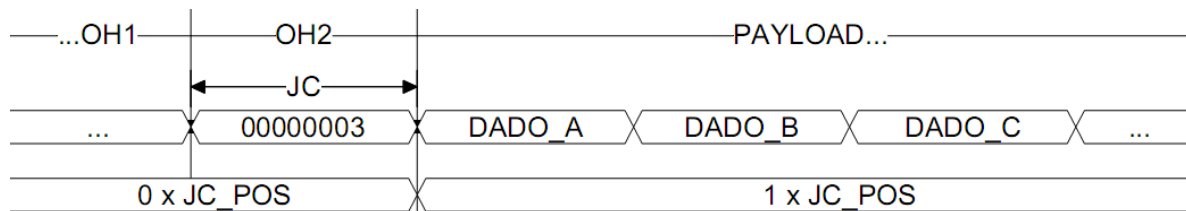


Figura 52 – Ilustração da inserção do voto de justificativa positiva.

A cada multi-quadro é possível enviar somente um byte a mais ou a menos de carga útil. Quando ocorre justificativa, as palavras que saem da fila, com oito bytes, são deslocadas de um byte para poder formar o quadro com justificativa. O emprego do deslocador e como são completados os bytes de NJO e PJO são mostrados, de forma ilustrativa, nos diagramas de tempo abaixo, Figura 53 e Figura 55.

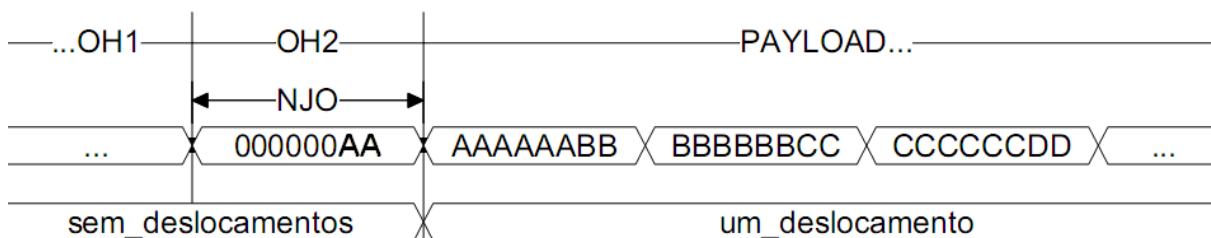


Figura 53 – Ilustração da inserção de justificativa negativa.

A Figura 54 mostra a forma de onda, gerada pelo simulador Modelsim, contendo o comportamento lógico do módulo insensor, desenvolvido nesse trabalho, quando ocorre a inserção de uma justificativa negativa. O espaço de carga útil dentro do muti-quadro é estendido com o preenchimento do byte NJO com dados do cliente. Para auxiliar na compreensão das formas de onda, coloca-se sobre as mesmas os valores da Figura 53.

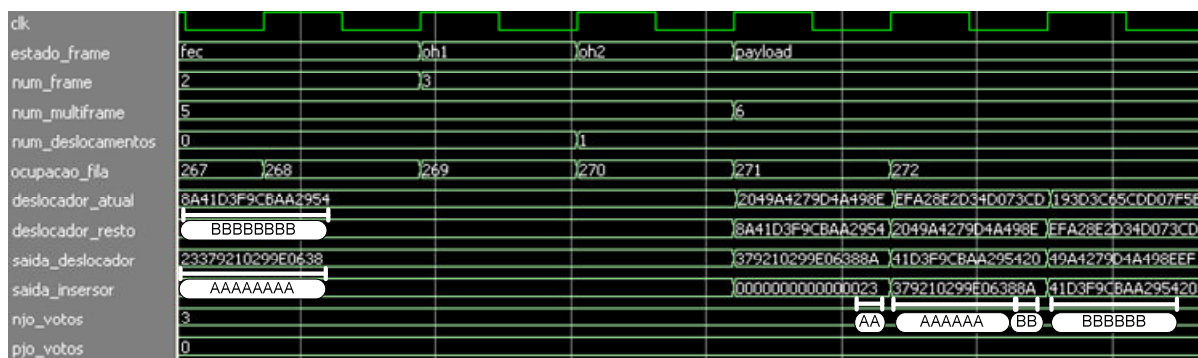


Figura 54 – Inserção de justificativa negativa.

Quando ocorre uma justificativa positiva, a primeira palavra do *payload* tem o byte de PJO zerado, enfatizado na Figura 55. Dado isso, os dados são deslocados de um byte para direita, o que se equivale a sete deslocamentos para esquerda no módulo deslocador utilizado, fazendo com que o último byte da primeira palavra seja utilizado para compor a subsequente. A inserção da justificativa positiva feita pelo módulo insensor é apresentada pela simulação da Figura 56, onde a formação das palavras após deslocamento é realçado com auxílio da ilustração da Figura 55.

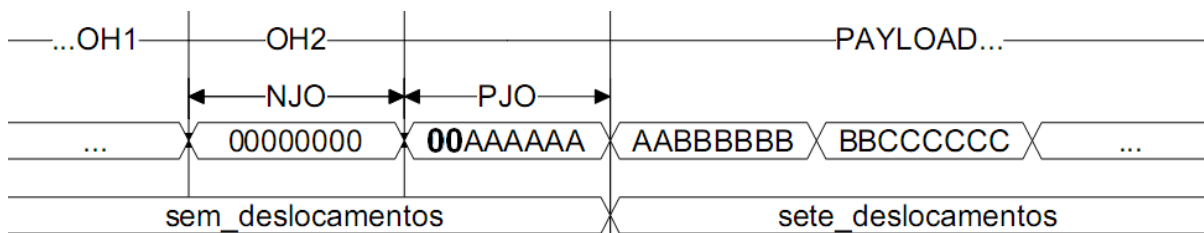


Figura 55 – Ilustração da inserção de justificativa positiva.

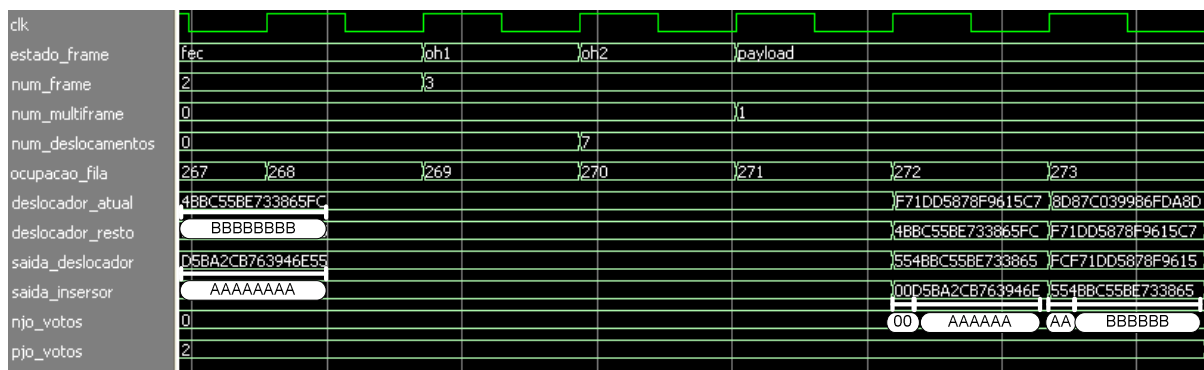


Figura 56 – Inserção de justificativa positiva.

O número bytes deslocados incrementa ou decrementa de acordo com o acontecimento de justificativa, negativa ou positiva, respectivamente. Na Figura 57 pode-se notar que o número de deslocamentos nunca chega a oito, pois equivale a passar a palavra adiante, sem deslocamento, como é ressaltado na forma de onda.

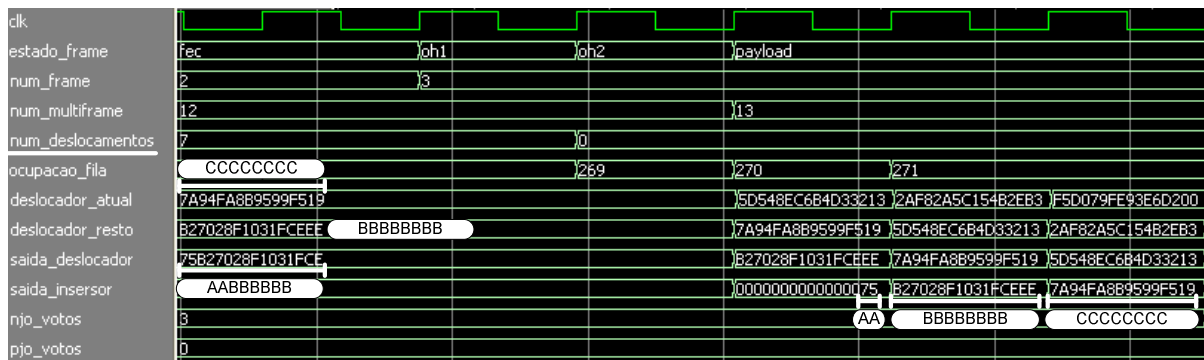


Figura 57 – Comportamento após sete deslocamentos.

A estrutura do módulo insensor de carga útil desenvolvido nesse trabalho é representada no diagrama de blocos da Figura 58, contendo a disposição de alguns dos sinais mostrados nas simulações.

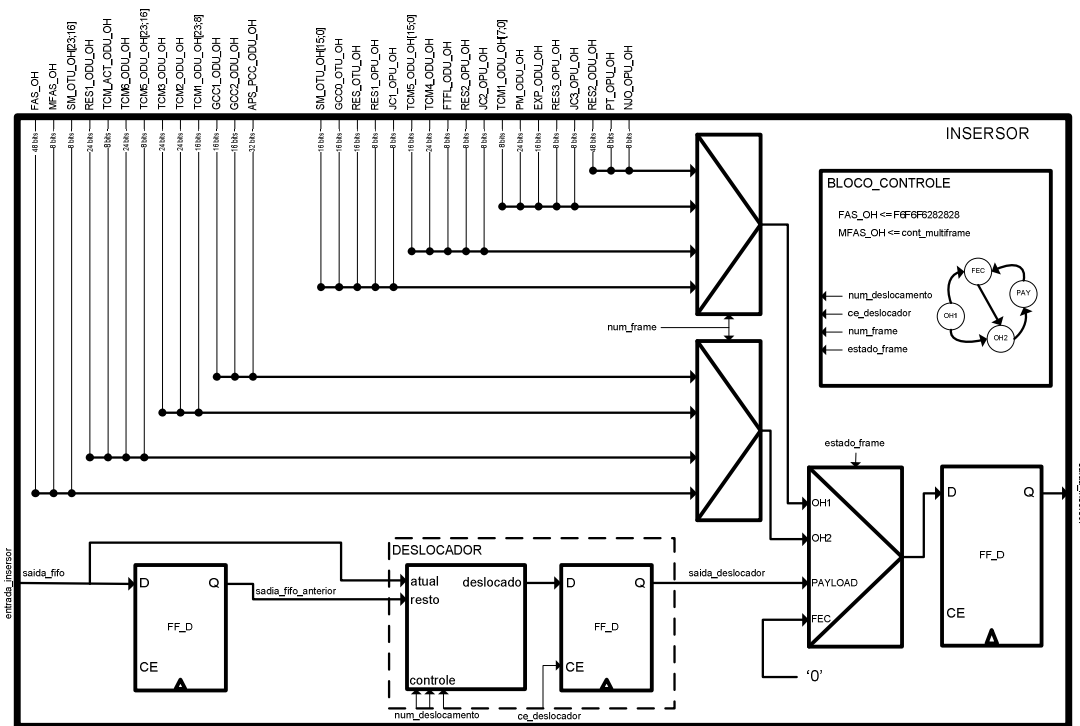


Figura 58 – Estrutura do módulo insersor de carga útil.

Nos 34 ciclos em que não é inserida carga útil no fluxo de dados de transmissão, 32 deles são enviadas palavras somente com zeros, que serão sobrescritas pelo resultado do decodificador Reed Solomon [SIL01]. Nos outros dois ciclos são escolhidos os dados para formar as palavras que correspondem ao cabeçalho.

4.6 Montagem do Cabeçalho

A maioria da informação dos campos que formam o cabeçalho encontra-se num banco de registradores, cujo sistema embarcado é encarregado de preencher com os dados relevantes à comunicação, como origem/destino, tipo de cliente mapeado, informação sobre problemas em pontos da rede, alarmes, entre outros. Elementos de paridade, como BIP-8, por exemplo, são calculados sobre o fluxo a ser transmitido, em hardware, para então serem inseridos no cabeçalho. Os módulos responsáveis pela geração das informações de cabeçalho e de leitura do banco de registrador estão sendo desenvolvidos, em fase inicial, por outro grupo, dentro do projeto X10GIGA, e fogem do escopo deste trabalho.

O insersor de carga útil está pronto para montar o cabeçalho, quando os dados deste forem disponibilizados. A montagem é feita de acordo com o quadro do multi-quadro que está sendo enviado e também depende de qual palavra do cabeçalho é transmitido. As próximas quatro figuras mostram como decorre a montagem de cabeçalho em cada quadro.

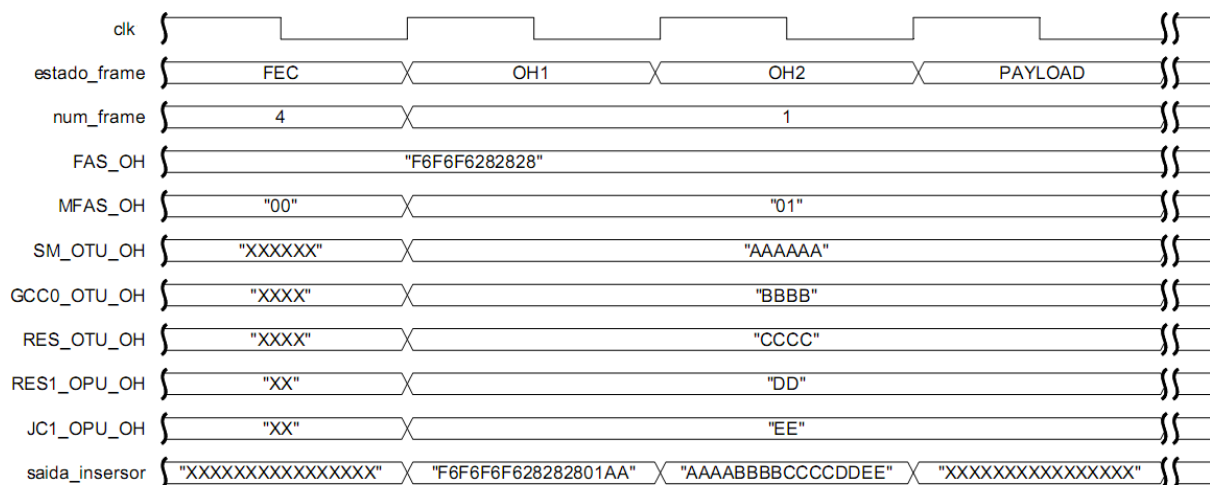


Figura 59 – Montagem do cabeçalho do primeiro quadro.



Figura 60 – Montagem do cabeçalho do segundo quadro.

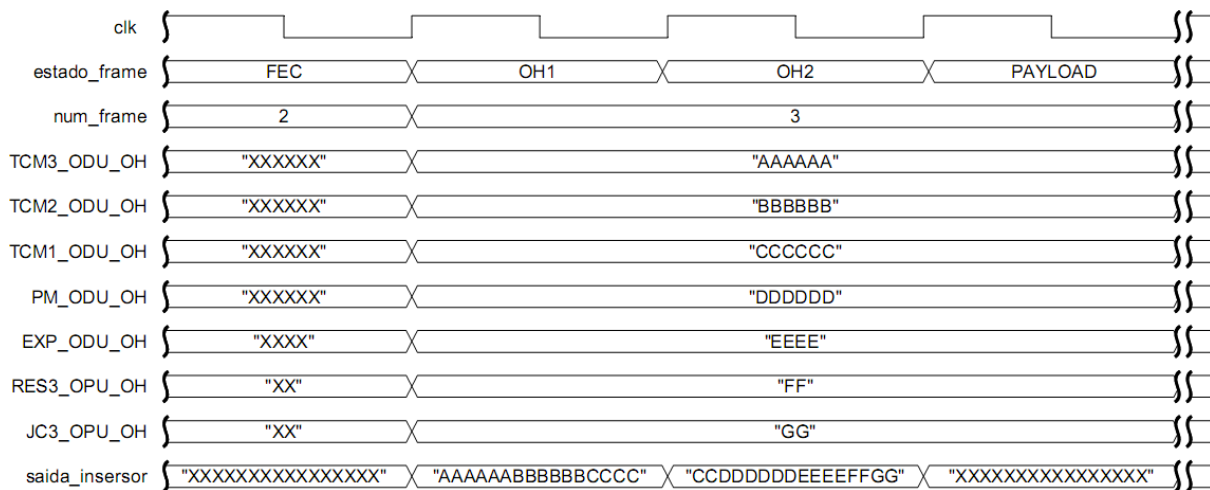


Figura 61 – Montagem do cabeçalho do terceiro quadro.

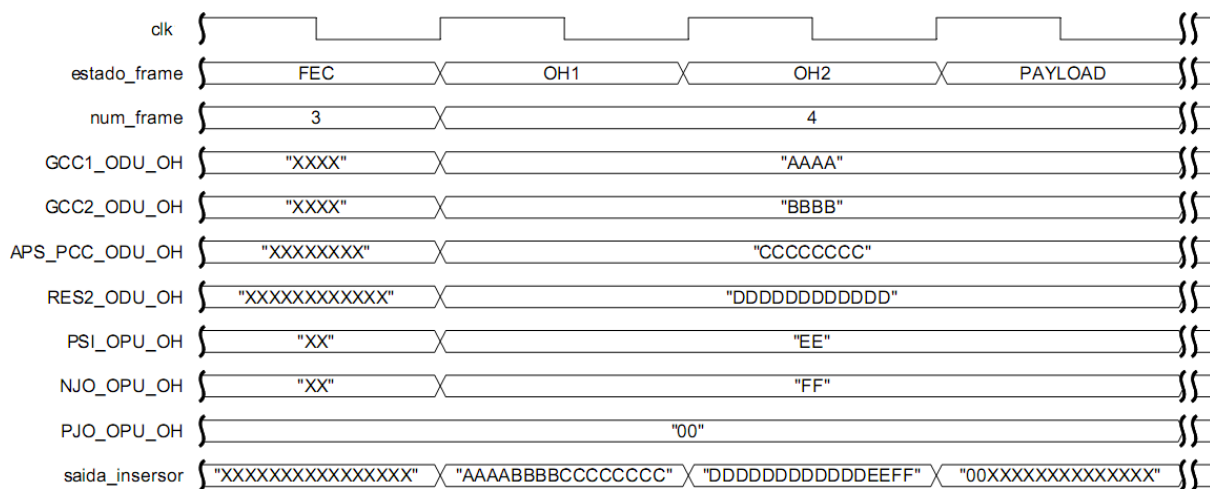


Figura 62 – Montagem do cabeçalho do quarto quadro.

Os nomes dos campos de cabeçalho utilizados nos diagramas de tempo, acima, são os mesmos das portas do bloco do insensor de carga útil apresentado na Figura 58, que mostra, também, que o FAS_OH e o MFAS_OH já são gerados pelo controle do módulo desenvolvido.

Enfim, o módulo insensor de carga útil é responsável pela geração dos cabeçalhos de alinhamento e os relacionados à técnica de justificativa. Quando pronto, os blocos que gerarão os outros campos deverão ser integrados as portas do módulo desenvolvido para então transmitir os quadros OTN integralmente.

5 Avaliação da Interface-Cliente

5.1 Validação do Extrator de Carga Útil

Para ser efetuada a validação, do módulo Extrator de Carga Útil e o comportamento da fila do transmissor, foi desenvolvida a estrutura de simulação apresentada na Figura 63.

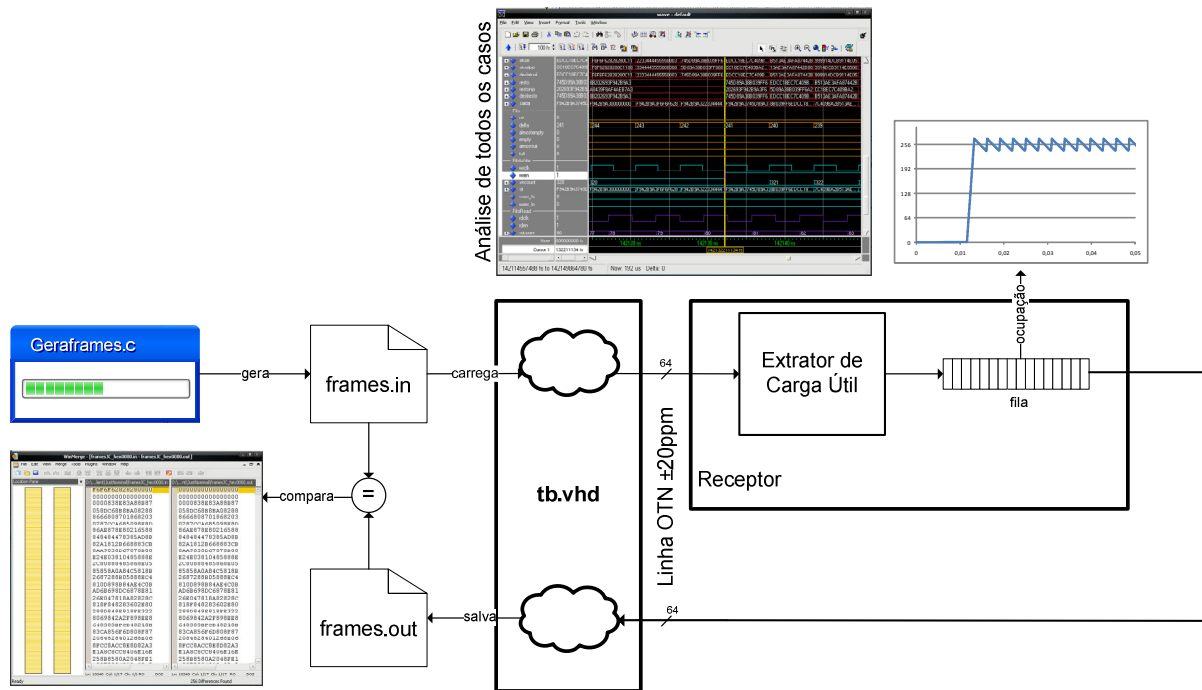


Figura 63 – Estrutura de validação do Extrator de Carga Útil.

A primeira validação feita avaliou se os dados da carga útil são extraídos de maneira correta. Para este procedimento, foram injetados 256 multi-quadros, com FAS, desembaralhados, sem FEC, sem cabeçalhos e sem a necessidade de justificativa, de um arquivo gerado por um programa gerador de quadros OTN, desenvolvido anteriormente no projeto. Por fim, a carga útil dos 256 multi-quadros fornecidos como saída da fila de extração foi salva em outro arquivo, com a inserção de zeros nas posições onde deveria haver cabeçalhos e FEC. Posteriormente, o arquivo de saída foi comparado com o arquivo que continha as informações injetadas e se obteve o resultado da Figura 64, onde pode ser observado que houve a ocorrência de 256 diferenças. Estas diferenças se devem ao fato de que ao inserir a carga útil da saída da fila no arquivo, para a comparação, foram adicionados zeros aos cabeçalhos/FEC e como o único cabeçalho adicionado no arquivo de entrada para esta validação foi o FAS e os demais cabeçalhos foram deixados com zeros, há 256 ocorrências de diferença onde o FAS foi substituído por zeros no arquivo de saída.

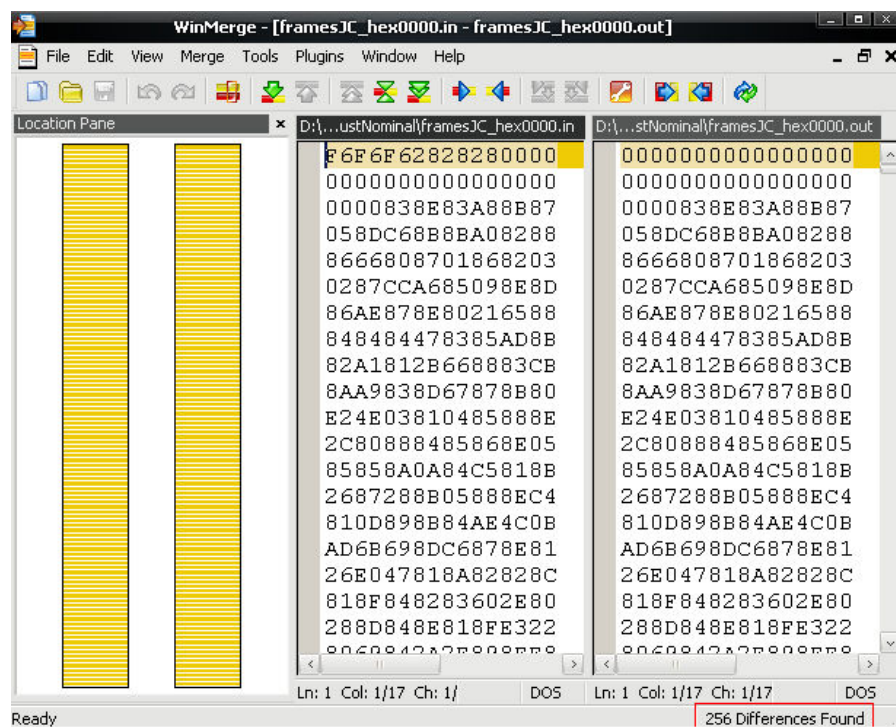


Figura 64 – Comparação dos arquivos de validação da extração de carga útil, sem justificativa.

Para validar o funcionamento das justificativas, foi feita uma simulação, utilizando o software Modelsim, que contempla todos os casos (8 multi-quadros consecutivos de justificativa negativa, seguidos de 8 multi-quadros consecutivos de justificativa positiva), apresentada na , onde é possível observar: (i) a verificação dos campos JC e o resultado do voto majoritário entre eles, item 1 da ; (ii) variação do contador de justificativas de acordo com o resultado da votação a cada multi-quadro, item 2 da ; (iii) controle do sinal *enable_resto* para permitir o controle de fluxo dos dados de carga útil, item 3 da ; (iv) sinal *deslocamento* de acordo com o número de justificativas até o momento, de acordo com a Tabela 18, item 4 da ; (v) controle do sinal *write_enable*, para controle do fluxo dos dados a serem escritos na fila, item 5 da ; (vi) ativação do sinal *read_enable* após a ocupação da fila atingir o threshold de liberação de leitura, item 6 da ; (vii) marcadores de indicação de cada justificativa negativa, item 7 da ; (viii) marcadores de indicação de cada justificativa positiva, item 8 da . Nesta simulação, foram cuidadosamente validados todos os casos explicados na Seção 4.3.

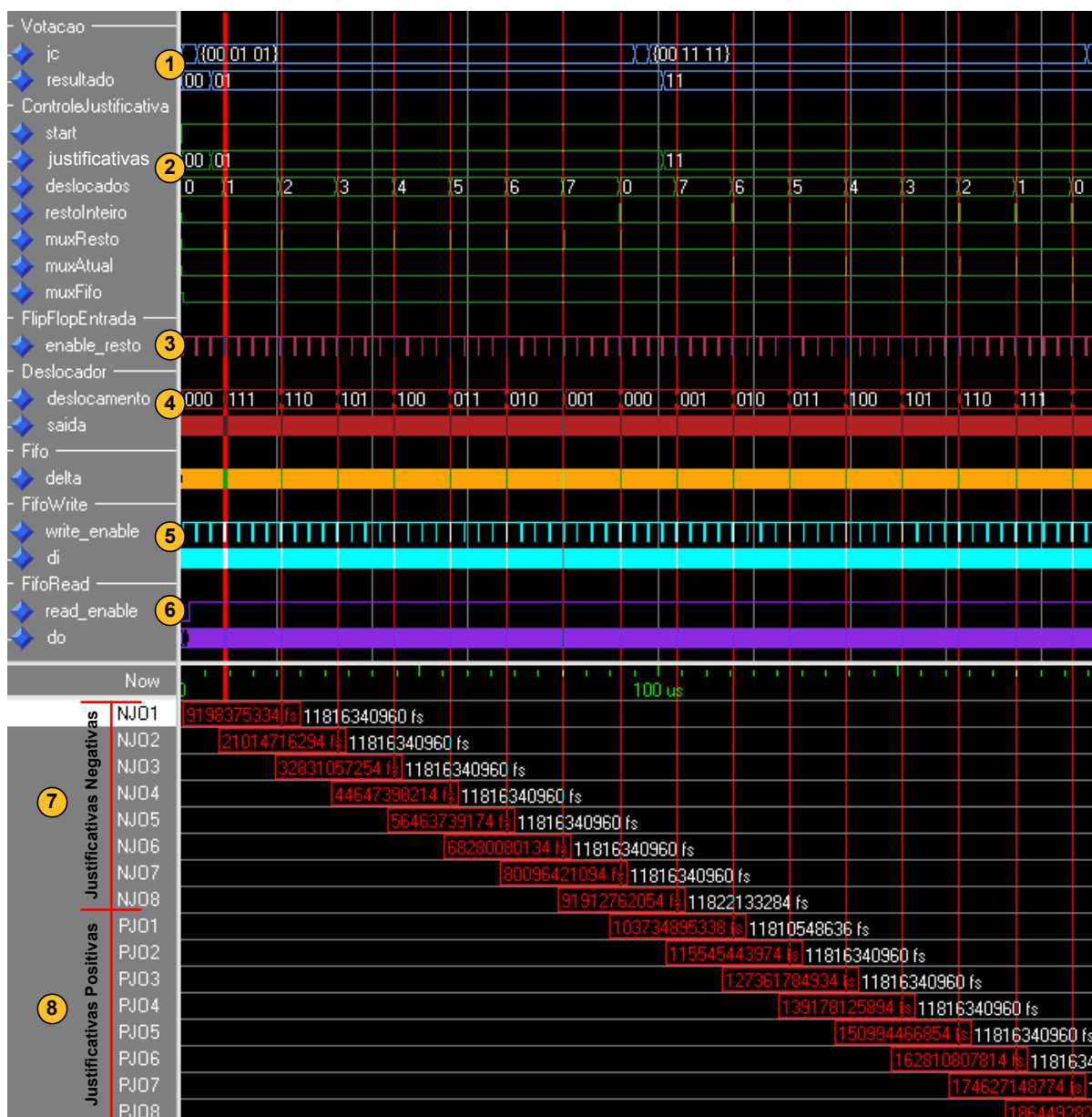


Figura 65 – Simulação de todos os casos de justificativa. (1) verificação dos campos JC e o resultado do voto majoritário entre eles; (2) variação do contador de justificativas de acordo com o resultado da votação a cada multi-quadro; (3) controle do sinal *enable_resto* para permitir o controle de fluxo dos dados de carga útil; (4) sinal *deslocamento* de acordo com o número de justificativas até o momento, de acordo com a Tabela 18; (5) controle do sinal *write_enable*, para controle do fluxo dos dados a serem escritos na fila; (6) ativação do sinal *read_enable* após a ocupação da fila atingir o threshold de liberação de leitura; (7) marcadores de indicação de cada justificativa negativa; (8) marcadores de indicação de cada justificativa positiva.

Por fim, para validar o comportamento da fila assíncrona, foram simulados 3 casos, são eles: dados inseridos na fila à frequência nominal da linha OTN e sem justificativa, Figura 66; dados inseridos na fila à frequência da linha OTN +20ppm (escrita mais rápida) e com justificativa negativa constante, ou seja, uma palavra a mais a cada 8 multi-quadros, Figura 67; e dados inseridos na fila à frequência da linha OTN -20ppm (escrita mais lenta) e com justificativa positiva constante, ou seja, uma palavra a menos a cada 8 multi-quadros, Figura 68. Estas simulações têm por objetivo validar o comportamento da fila para no melhor caso, frequência nominal sem justificativa, e nos piores casos, justificativas constantes somadas à presença de *jitter*. As figuras abaixo apresentam a

ocupação da fila, para cada caso, durante 10ms, com um *threshold* para início da leitura em 256, para manter a ocupação média no meio da fila.

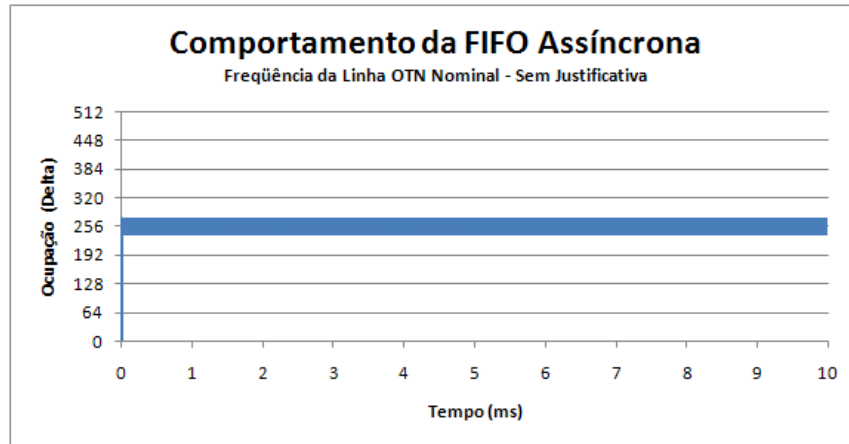


Figura 66 – Comportamento da fila assíncrona de extração de carga útil. Caso: frequência da linha OTN nominal e sem ocorrência de justificativa de carga útil.

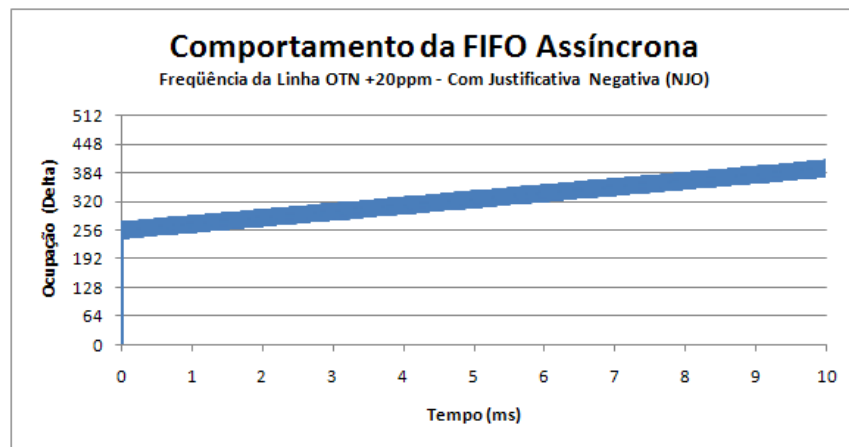


Figura 67 – Comportamento da fila assíncrona de extração de carga útil. Caso: frequência da linha OTN +20ppm, com ocorrência de justificativa negativa (NJO) na carga útil.

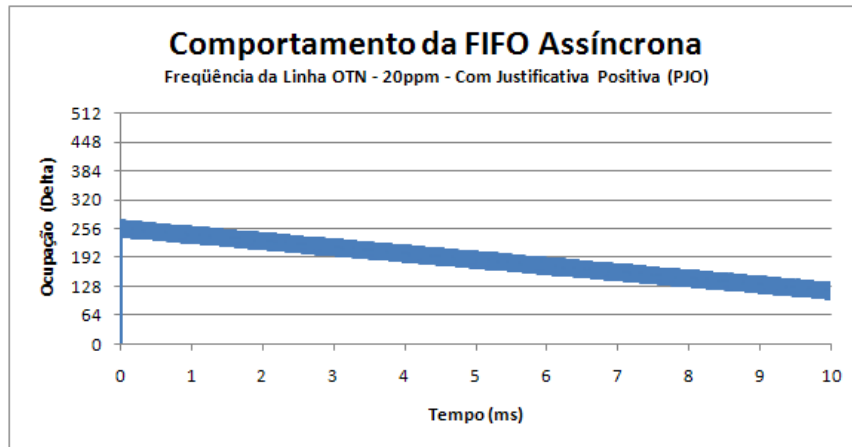


Figura 68 – Comportamento da fila assíncrona de extração de carga útil. Caso: frequência da linha OTN -20ppm, com ocorrência de justificativa positiva (PJO) na carga útil.

A partir da observação dos três casos apresentados, é possível afirmar que a implementação do módulo Extrator de Carga Útil cumpre os requisitos do projeto, visto que o comportamento da fila assíncrona, a partir das simulações do módulo implementado, é análogo ao analisado na Seção 4.2 e nos permite garantir que, mesmo com a maior variação possível, a fila não esvaziará ou encherá, pois, o controle de *jitter* atuará muito tempo antes, compensando a variação.

Resultados da síntese mostram dados sobre a ocupação do módulo (Tabela 20) no FPGA que será utilizado no projeto, e também, apresenta a informação sobre a frequência de operação máxima, que ficou com bastante folga em relação à da restrição do projeto.

Tabela 20 – Utilização do FPGA pelo módulo Extrator de Carga Útil.

Resumo da utilização do dispositivo Xilinx Virtex5 5v1x220tff1738-2 (valores estimados)			
Lógica Utilizada	Utilizados	Disponível	Utilização
Slice Registers	346	138240	0%
Slice LUTs	534	138240	0%
fully used Bit Slices	172	708	24%
bonded IOBs	168	680	24%
Block RAM/FIFO	2	212	0%
BUFG/BUFGCTRLs	2	32	6%

5.2 Validação do Inserir de Carga Útil

Para ser efetuada a verificação, do módulo insersor de carga útil e o comportamento da fila do transmissor, foi desenvolvida a seguinte estrutura de simulação (Figura 69).

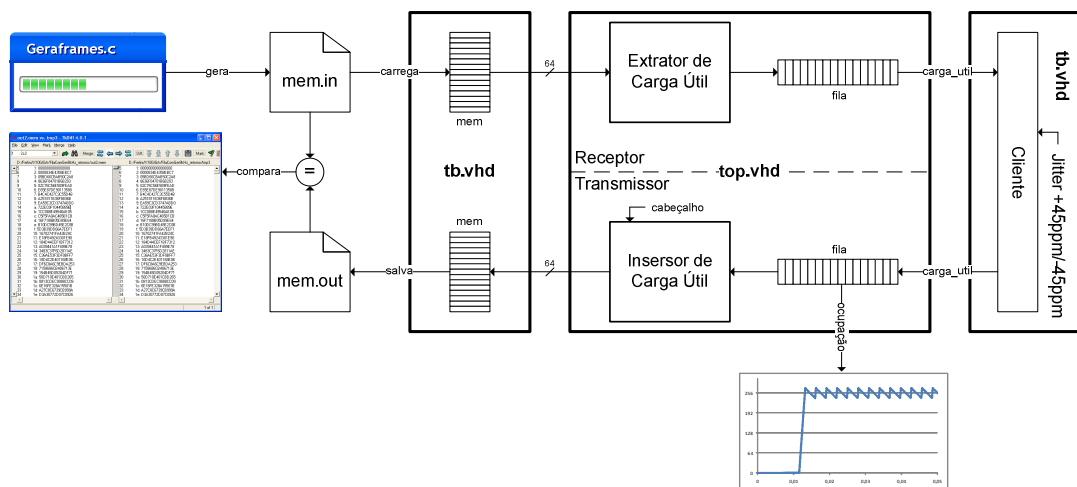


Figura 69 – Estrutura de simulação do Inserir de Carga Útil.

O *testbench* criado contém uma memória de entrada, contendo os quadros para estimular a simulação. Os quadros são montados pelo gerador de frames [GAP01], que foi adaptado para que seus arquivos de saída fossem compatíveis com o Modelsim, onde é lido esse arquivo e carregado na memória de entrada, por linha de comando. Para obter resultados mais rápidos das longas simulações, os módulos de codificação, embaralhamento e alinhamento foram suprimidos, logo, os quadros gerados não foram embaralhados, desalinhados e não contém erros, somente carga útil. Dado isso, foi implementado um extrator de carga útil, simplificado, que injeta as palavras numa fila para poder ser gerado o fluxo constante necessário para simulação cliente. Esses dados são repassados para fila do transmissor com a frequência da linha do cliente, a qual pode ser variada para a reprodução da presença de *jitter*. Como calculado na Seção 3.1, essa variação pode chegar, no pior caso, a mais ou menos 45ppm.

O gráfico da Figura 70 mostra o comportamento nominal da ocupação da fila. Observa-se que a ocupação da fila excursions por volta da metade da fila, deixando os pontos de máximo e mínimo bem definido, cujos valores são 271 e 239, respectivamente.

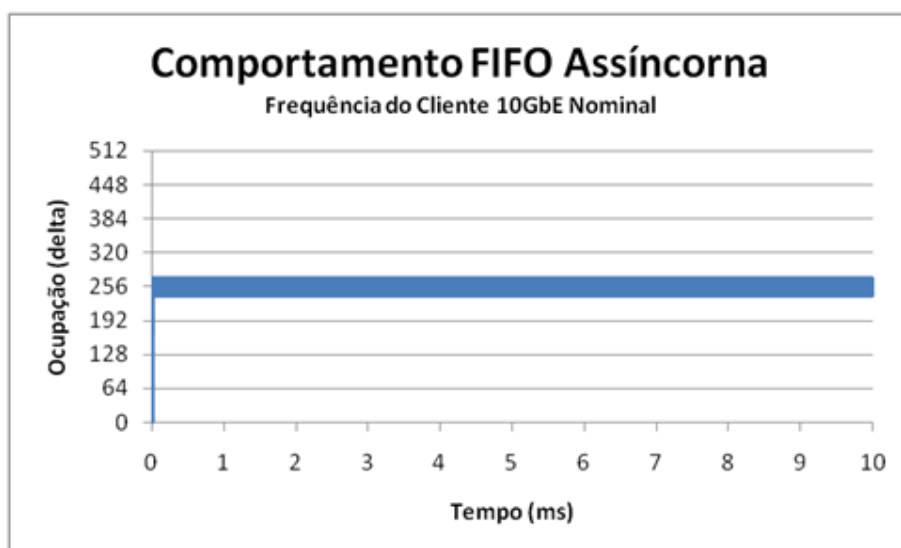


Figura 70 – Ocupação da fila quando o sinal do cliente não apresenta *jitter*.

Os dois piores casos, de variação na taxa de transmissão do cliente, foram também simulados. Nos dois testes a variação máxima foi mantida constante com o objetivo de se observar alguma possível tendência de enchimento ou esvaziamento. Os gráficos, Figura 71 e Figura 72, mostram que a técnica de inserção de justificativa absorve essa variação.

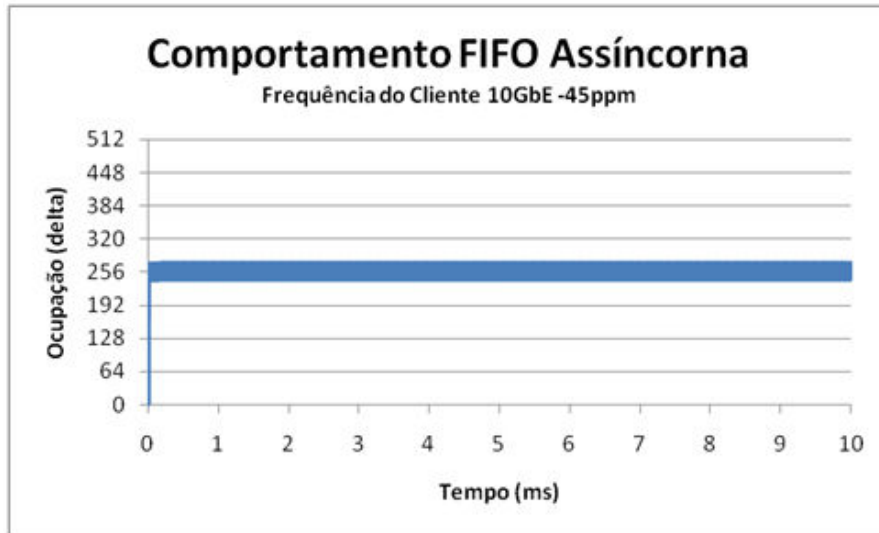


Figura 71 – Ocupação da fila quando o sinal do cliente apresenta *jitter* de -45ppm, com inserção de justificativa positiva.

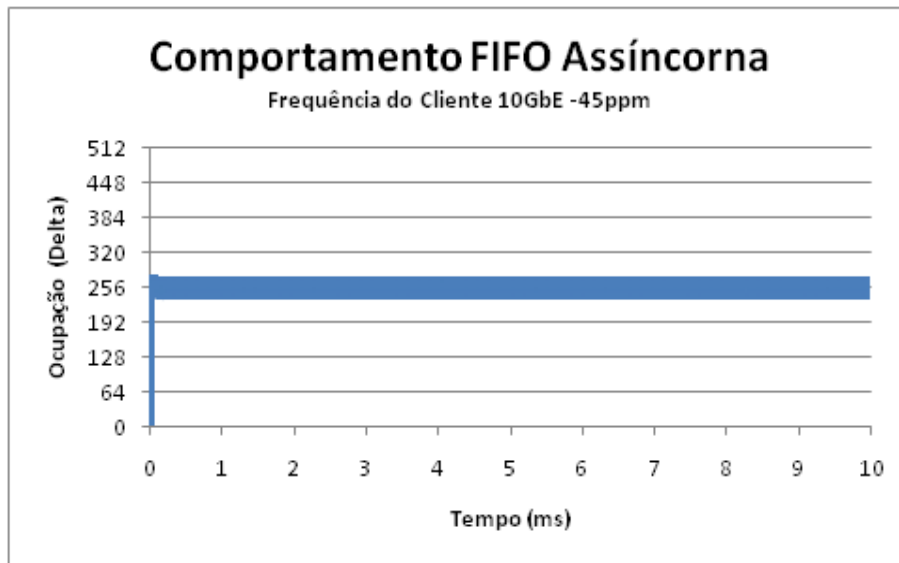


Figura 72 – Ocupação da fila quando o sinal do cliente apresenta *jitter* de +45ppm, com a inserção de justificativa negativa.

Nos dois gráficos de pior caso, é possível observar, logo no início da curva, que existe uma leve inclinação causada pela diferença entre as taxas de escrita e leitura. Muito antes de um milissegundo, a ação da inserção de justificativa absorve essa diferença, conduzindo novamente a uma ocupação constante.

A Figura 73 serve de comparação, com o objetivo de mostrar o comportamento da fila sem a técnica de justificativa implementada.

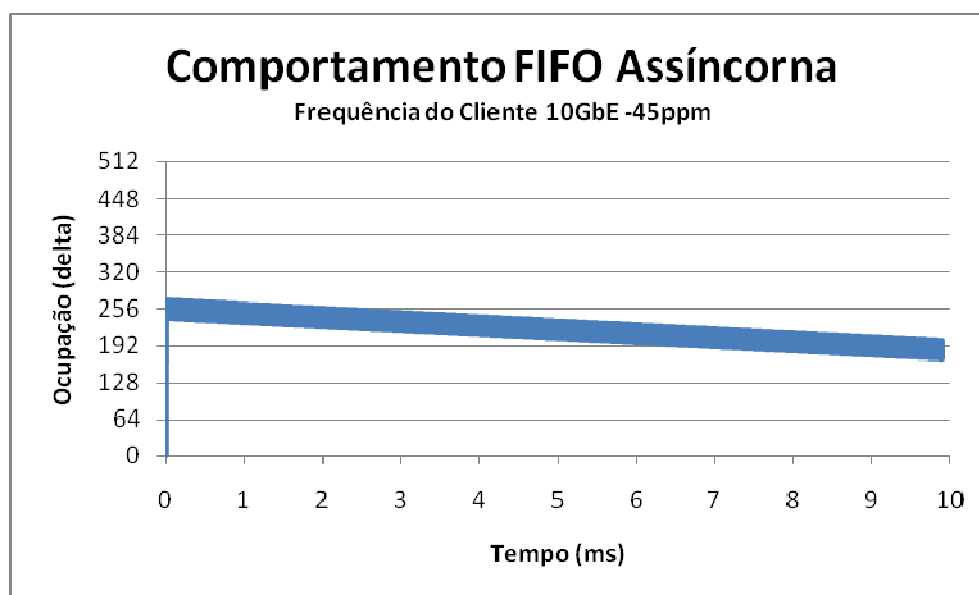


Figura 73 – Ocupação da fila quando o sinal do cliente apresenta *jitter* de -45ppm, sem inserção de justificativa.

A Tabela 10 mostra a distribuição e a frequência de ocorrência de justificativas, a cada oito multi-quadros, nos três casos descritos. Observa-se que nos intervalos em que ocorre o número máximo de justificativas, o valor seguinte é notavelmente menor. Isso ocorre porque a fila sofre uma variação “brusca”, dado que são necessárias oito justificativas iguais para que então a ocupação diminua ou aumente de uma palavra. Com isso, a diferença entre as taxas do cliente e da linha, demora a causar uma nova necessidade de compensação.

Tabela 21 – Número de justificativas em um intervalo de 256 multi-quadros.

Multi-quadros	Nominal		Cliente +45ppm		Cliente -45ppm	
	NJO	PJO	NJO	PJO	NJO	PJO
1-8	0	0	0	0	0	0
9-16	0	0	0	0	0	0
17-24	0	0	7	0	0	0
25-32	0	0	6	0	0	0
33-40	0	0	4	0	0	1
41-48	0	0	7	0	0	4
49-56	0	0	5	0	0	4
57-64	0	0	5	0	0	8
65-72	0	0	6	0	0	5
73-80	0	0	6	0	0	4
81-88	0	0	4	0	0	7
89-96	0	0	6	0	0	5
97-104	0	0	7	0	0	4
105-112	0	0	4	0	0	7
113-120	0	0	5	0	0	6
121-128	0	0	7	0	0	4
129-136	0	0	5	0	0	6
137-144	0	0	4	0	0	6
145-152	0	0	8	0	0	4
153-160	0	0	4	0	0	6
161-168	0	0	5	0	0	6
169-176	0	0	7	0	0	5
177-184	0	0	5	0	0	5

185-192	0	0	4	0	0	7
193-200	0	0	7	0	0	4
201-208	0	0	6	0	0	5
209-216	0	0	4	0	0	7
217-224	0	0	6	0	0	5
225-232	0	0	6	0	0	4
233-240	0	0	5	0	0	8
241-248	0	0	5	0	0	4
249-256	0	0	6	0	0	4
Total	0	0	166	0	0	145

Visto o comportamento da fila, ainda é preciso analisar os dados gerados pelo insersor de carga útil. A saída do módulo desenvolvido é salva numa memória, idêntica a que contém os dados entrada. A verificação do comportamento lógico é feita pela resposta obtida da comparação entre os dados de entrada e os de saída. O Modelsim contém uma ferramenta de comparação que permite a visualização, não somente das linhas, mas também os caracteres da linha que diferem. Esse método auxilia na demonstração da inserção dos votos de justificativa e da realização do deslocamento, como é evidenciado na Figura 74 e na Figura 75.

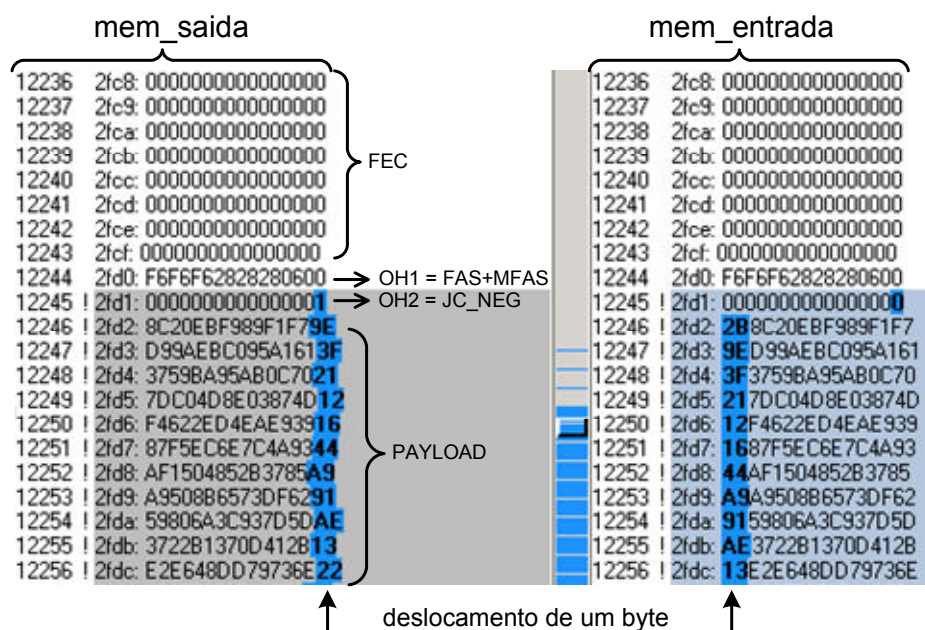


Figura 74 – Verificação do resultado da geração de justificativa negativa do Inersor de Carga Útil.

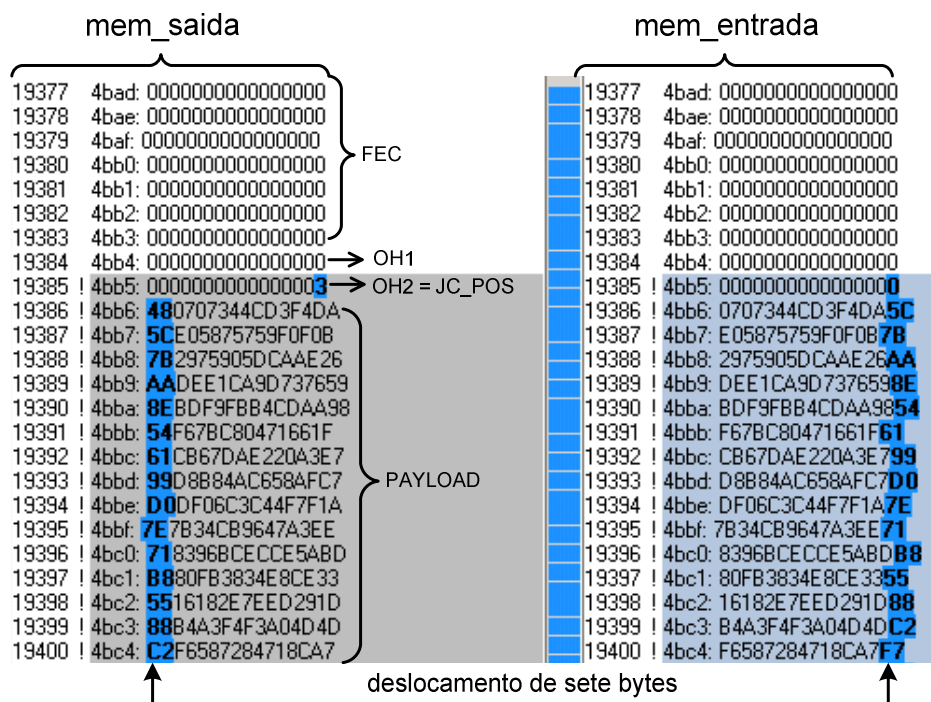


Figura 75 – Verificação do resultado da geração de justificativa positiva do Inserir de Carga Útil.

Além da verificação pela visualização das diferenças causadas pelas inserções dos votos de justificativa e pelo deslocamento das palavras, como foi apresentado nas figuras acima, foi escrito um programa que lê o arquivo de entrada, gerado pelo programa gerador de quadros, e escreve o resultado esperado de acordo com o tipo de justificativa ocorrida na simulação. Comparando os dados da memória de saída com os do arquivo gerado pelo programa é possível conferir se os deslocamentos das palavras estão corretos, procurando corroborar a formação do fluxo de dados do transmissor. A Figura 76 mostra a estrutura utilizada para validação do Inserir de Carga Útil.

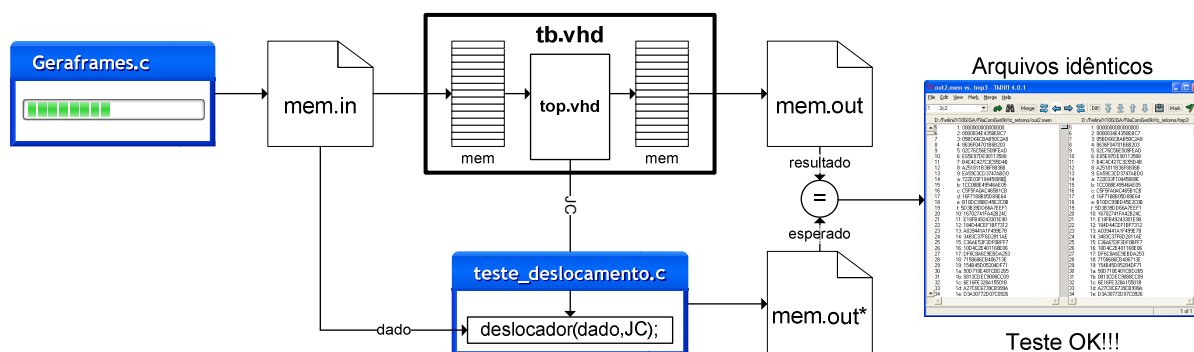


Figura 76 – Estrutura para validação do deslocamento gerado pelo Inserir de Carga Útil.

Todas as simulações foram feitas por períodos de tempo suficientemente grandes, dado que era necessário verificar a existência de tendências nas curvas de ocupação da fila. Os gráficos de ocupação da fila mostram que a inserção de justificativa absorve a variação da taxa do cliente, ou seja, não apresentam tendência alguma, confirmando o seu funcionamento e com isso validando o módulo. Resultados da síntese mostram dados sobre a ocupação do módulo (Tabela 22) no FPGA

que será utilizado no projeto, e também, apresenta a informação sobre a frequência de operação máxima, que ficou com bastante folga em relação à da restrição do projeto.

Tabela 22 – Utilização do FPGA pelo módulo Inersor de Carga Útil.

Resumo da utilização do dispositivo Xilinx Virtex5 5vlx220tff1738-2 (valores estimados)			
Lógica Utilizada	Utilizado	Disponível	Utilização
Slice Registers	257	138240	0%
Slice LUTs	312	138240	0%
fully used LUT-FF pairs	183	386	47%
bonded IOBs	132	680	19%
Block RAM/FIFO	2	212	0%
BUFG/BUFGCTRLs	2	32	6%

6 Conclusões e Trabalhos Futuros

O presente Trabalho de Conclusão apresentou um estudo do padrão OTN G.709, priorizando a análise dos aspectos que fazem parte da interface com cliente, especificamente, para o mapeamento de 10GbE. Para tal tarefa, foi utilizada documentação suplementar [ITU3], disponibilizada recentemente, em fevereiro do presente ano, pela agência regulamentadora ITU. O estudo das recomendações, a posterior proposta de solução a partir das análises feitas e a implementação de tal solução, desenvolveram conhecimentos em várias áreas relacionadas à engenharia. Destas, as de maior influência sobre o trabalho são as áreas de telecomunicações, sistemas digitais e prototipação, tornando o presente trabalho multidisciplinar e de fundamental importância para a solidificação dos conhecimentos adquiridos durante o curso de Engenharia de Computação.

A implementação dos módulos de interface com cliente para o projeto FINEP X10GIGA foi finalizada com sucesso, atingindo os objetivos propostos. Vale ressaltar que os módulos implementados são muito importantes dentro do escopo do projeto, pois viabilizam o transporte e a entrega dos dados do cliente. Projeto este que tem grande valor para o desenvolvimento tecnológico da área de telecomunicações no Brasil, visto que, desenvolve tecnologia nacional para atender necessidades em um futuro próximo e está alinhado às tecnologias desenvolvidas atualmente no restante do mundo, para o segmento de largura de banda de 10Gbps.

Os trabalhos futuros compreendem: (i) integração dos módulos desenvolvidos com os demais módulos do projeto X10GIGA; (ii) desenvolvimento de um ambiente de verificação em modelo loop-back, onde os módulos de transmissão são conectados aos módulos de recepção, tanto do lado da linha OTN como no lado do cliente 10GbE; (iii) desenvolvimento e utilização de módulos para verificação da Interface-Cliente durante prototipação em kits com FPGA da família Virtex-5 da Xilinx; (iv) extensão dos módulos de interface com cliente para outros mapeamentos, com o intuito de suprir as necessidades por altas taxas de transmissão de forma mais abrangente; (v) validação dos módulos integrados na placa do projeto, produzida durante o desenvolvimento do Trabalho de Conclusão, porém, ainda não disponibilizada, com a utilização de um analisador de protocolo adquirido para execução de testes visando obter um alto nível de qualidade.

7 Referências

- [ALE01] Alexander, S. “OTN offers transparent service delivery”. Capturado em: <http://www.networkworld.com/news/tech/2006/020606-techupdate.html#graphic>, Ago 2008.
- [BIB01] Biblioteca Nacional Digital de Portugal, Lisboa, 2005, “Glossário da Sociedade de Informática”. Capturado em: <http://purl.pt/426/1>, Nov 2008.
- [BAR01] Barbieri, A., “10 Gigabit Ethernet and It’s “X” Factors”. Capturado em: http://www.cisco.com/asiapac/campaigns/metroethernet/files/10ge_po_pack_mag_arti.pdf, Ago 2008.
- [CIE01] Ciena Corporation “The Value of OTN for Network Convergence and IP/Ethernet Migration”. White Paper, Oct 2005.
- [FIL01] Filho, C. “Material didático – Comunicação Digital I”, Cap. 6 – Multiplexação. Escola Politécnica de Pernambuco, UPE. Capturado em: <http://carmelofilho.googlepages.com/Cap6multiplexacao.pdf>, Ago 2008.
- [GAP01] GAPH, “Geração de Frames – Geraframes-v06.zip”. Capturado em: <http://www.inf.pucrs.br/~gaph/x10giga/#toc11>, Nov 2008.
- [GEE01] Gee, N., Basch, B., Gringeri S. “10G LAN PHY over G.709 OTN: A Service Provider Prospective”. OFC/NFOEC, Feb 2008.
- [GUE01] Guedes, B. “Análise do desempenho de redes ópticas de topologia manhattan street com roteamento por deflexão de pacotes”. Dissertação de Mestrado, Programa de Pós-Graduação em Engenharia Elétrica, PUCRJ, Cap. 1, Abril 2005.
- [HAY01] Hays, R. and Frasier, H. “40G Ethernet Market Potential”. Capturado em: http://www.ieee802.org/3/hssg/public/apr07/hays_01_0407.pdf. IEEE 802.3 HSSG Interim Meeting, Apr 2007.
- [HOR01] Horak, R. “Webster’s New World telecom dictionary”. Wiley Publishing, Inc., Indianapolis, Indiana, 2008.
- [INF01] INFO Online, Editora Abril, Edição especial “Dicionário de telecom”. Capturado em: http://info.abril.com.br/edicoes/179/arquivos/2134_1.shl, Ago 2008.
- [ITU01] ITU-T. “Interfaces for the Optical Transport Network (OTN)”. ITU-T Recommendation G.709/Y.1331, Mar 2003.
- [ITU02] ITU-T. “The Control of Jitter and Wander within the Optical Transport Network (OTN)”. ITU-T Recommendation G.8251, Nov 2001.
- [ITU03] ITU-T. “Transport of IEEE 10G Base-R in Optical Transport Networks (OTN)”. ITU-T Series G – Supplement 43, Feb 2008.
- [KOC01] Kocialski, C. and Harwood, J., “A Primer on Digital Wrappers for Optical Transport Networks”. Vesta Corporation, 2000.
- [NAK01] Nakamura, R. “Novas Tecnologias de Comunicações Ópticas”. Capturado em: http://www.rnp.br/_arquivo/sci/2005/nakamura-roberto_novas-tecnologias.pdf, Ago 2008.
- [PAI01] Paiva, R. e Marczak, S. “Desenvolvimento de Módulos de Hardware para Recepção e Transmissão de Quadros OTN”. Trabalho de Conclusão de Curso de Graduação em Engenharia de Computação, Pontifícia Universidade Católica do Rio Grande do Sul, PUCRS, Dez 2007.
- [PIR01] Pires, J., Instituto Superior Tecnológico, “Redes de Telecomunicação – Redes Ópticas”. Capturado em: https://dSPACE.ist.utl.pt/bitstream/2295/118988/1/Cap4_07_vf.pdf, Nov 2008.

- [RED01] REDES, Editora Edirevista, Edição nº 103, “Ethernet a 10 Gbit/s sobre cobre”. Capturado em: <http://www.redes.xl.pt/103/800.shtml>, Nov 2008.
- [SIL01] Silva, S. e Rodolfo, T. “Implementação de uma arquitetura Reed-Solomon para uso em Redes OTN 10.7 Gbps”. Trabalho de Conclusão de Curso de Graduação em Engenharia de Computação, Pontifícia Universidade Católica do Rio Grande do Sul, PUCRS, Dez 2007.
- [TER01] TERACOM, “X10GIGA Functional Description”. Capturado em: http://www.inf.pucrs.br/~gaph/x10giga/TERACOM/x10Giga_functional.html, Nov 2008.
- [TER02] TERACOM, “Recuperação de relógio X10GIGA”. Capturado em: http://www.inf.pucrs.br/~gaph/x10giga/TERACOM/pll_x10Giga.html, Nov 2008.
- [TOM01] Tomsu, P. “Next Generation Optical Networks”. Prentice Hall PTR, 2002.
- [TRO01] Tronco, T. “Redes de Nova Geração – A Arquitetura de Convergência do IP, Telefonia e Redes Ópticas”. Editora Érica, Cap. 7, 2006.
- [VER01] Verizon Partner Solutions, “Glossary of Telecom Terms”. Capturado em: <http://www22.verizon.com/wholesale/glossary/>, Nov 2008.
- [WAL01] Walker, R. e Dugan, R., “64b/66b low-overhead coding proposal for serial links”. Capturado em: http://grouper.ieee.org/groups/802/3/10G_study/public/jan00/walker_1_0100.pdf, Ago 2008.
- [YOU01] YourDictionary.com – Online Dictionary “OTN (Optical Transport Network)”. Capturado em: <http://www.yourdictionary.com/otn>, Ago 2008.
- [ZHE01] Zheng, Y. “Networks for computer scientists and engineers”. Oxford University Press, 2002.